

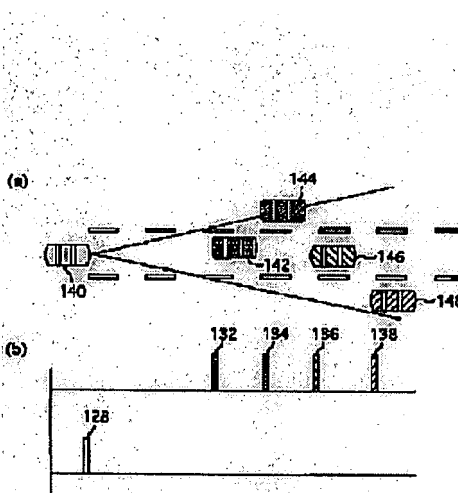
METHOD AND APPARATUS FOR MULTIPLE TARGET RANGING

Patent number: JP10221448
Publication date: 1998-08-21
Inventor: SALVATORE F NATY
Applicant: IMRA AMERICA INC
Classification:
- International: G01B11/00; G01C3/06; G01S17/08; G01B11/00;
G01C3/06; G01S17/00; (IPC1-7): G01S17/08;
G01B11/00; G01C3/06
- european:
Application number: JP19970015691 19970129
Priority number(s): JP19970015691 19970129

Report a data error here

Abstract of JP10221448

PROBLEM TO BE SOLVED: To detect the distances to a plurality of targets with high resolution in real time by monitoring the number of reflected pulses produced in response to an emitted pulse and stopping the operation of a counting means when a prescribed number of reflected pulses is received. **SOLUTION:** When a pulse 128 is emitted from a vehicle 140, pulses 132, 134, 136, and 138 are reflected from vehicles 142, 144, 146, and 148 and the reflected pulses are used for determining the distances to the target vehicles 142, 144, 146, and 148 from the vehicle 140. Namely, a means which determines the time lag between the emitted pulse 128 and one of the reflected pulses 132, 134, 136, and 138 is provided. The determining means is composed of a clock generator which generates a clock pulse and a counter (counting means) which counts the clock pulse. A control means monitors the number of the reflected pulses produced in response to the emitted pulse and stops the operation of the counter when a prescribed number of reflected pulses is received.



Data supplied from the esp@cenet database - Worldwide

(51) Int.Cl.⁶ 識別記号

G 0 1 S 17/08

G 0 1 B 11/00

G 0 1 C 3/06

F I

G 0 1 S 17/08

G 0 1 B 11/00

G 0 1 C 3/06

B

A

審査請求 未請求 請求項の数14 O L 外国語出願 (全 65 頁)

(21) 出願番号 特願平9-15691

(22) 出願日 平成9年(1997) 1月29日

(71) 出願人 593185670

イムラ アメリカ インコーポレイテッド

アメリカ合衆国 ミシガン州48105 アン

アーバー ウッドリッジ・アベニュー1044

(72) 発明者 サルバトーレ・エフ・ナティ

アメリカ合衆国 ミシガン州 デクスター

市 ベント・ツリー・ドライブ2462番地

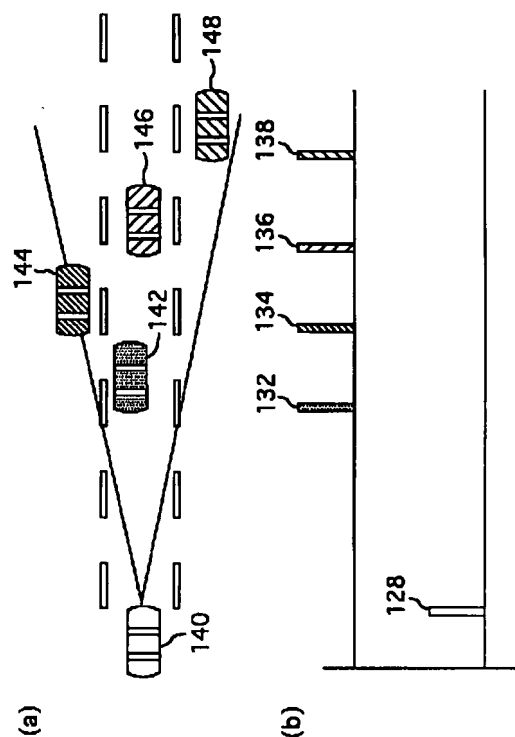
(74) 代理人 弁理士 大川 宏

(54) 【発明の名称】 複数目標の測距装置および測距方法

(57) 【要約】

【課題】 本発明は、複数の目標物が比較的広い計測範囲に散在していても、各目標物まで高分解能で測距することができる、視野内の複数の目標物からの反射パルスを検出する測距装置および測距方法を提供することを課題とする。

【解決手段】 本発明の代表的な実施例は、測距データの実時間取得ができ、再構築に適していながら現実的な費用効果が高い仕方で実施され得る。



【特許請求の範囲】

【請求項1】発射パルスを送信する送信手段と、送信された該発射パルスに応答して生じる反射パルスを受信する受信手段と、該反射パルスのうち既定の一つと該発射パルスとの間の時間を決定する計時手段とを有し、該計時手段はさらに、クロックパルスを生成するクロックパルス生成手段と、該クロックパルスを計数する計数手段と、該発射パルスに応答して生じる該反射パルスの数をモニタリングして該反射パルスが既定の数だけ受信されたならば該計数手段の作動を停止することにより、該計数手段を制御する制御手段とを有することを特徴とする、複数の目標物までの距離を決定する複数目標の測距装置。

【請求項2】前記送信手段は、レーザーパルスを発射する、請求項1記載の複数目標の測距装置。

【請求項3】前記クロックパルス生成手段は、内部クロック信号を生成するための内部クロック発生器と、外部クロック信号を受け取るための外部クロック信号線と、ユーザーが指定した入力に従って該内部クロック信号および該外部クロック信号のうちいずれかを選択するマルチプレクサーとをさらに有する、請求項1記載の複数目標の測距装置。

【請求項4】前記計数手段は、キャリアアウト出力をもつ第1カウンタと、該第1カウンタのキャリアアウト出力にカスケードされている少なくとも一つの付加的なカウンタとを有する、請求項1記載の複数目標の測距装置。

【請求項5】前記制御手段は、前記計数手段を計数スタートコマンドおよび計数ストップコマンドに応答して始動させ停止させる計数制御手段と、該計数ストップコマンドを前記反射パルスに応答して生成するストップコマンド生成手段とを有する、請求項1記載の複数目標の測距装置。

【請求項6】前記ストップコマンド生成手段はさらに、前記反射パルスにより計時するシフトレジスタと、該シフトレジスタの少なくとも一つの記憶領域を選択して前記計数ストップコマンドに充当する選択手段とを有する、請求項5記載の複数目標の測距装置。

【請求項7】前記選択手段はさらに、前記複数の目標物のそれぞれのために前記シフトレジスタの異なる記憶領域を選択するための選択カウンタを有する、

請求項6記載の複数目標の測距装置。

【請求項8】前記選択手段はさらに、前記複数の目標物の全てまでの距離が決定された時を判定するための目標物カウンタを有する、請求項7記載の複数目標の測距装置。

【請求項9】前記ストップコマンド生成手段はさらに、前記計数手段が既定の最小値まで計数するまでは前記計数ストップコマンドの生成を抑制するためのノイズフィルタを有する、請求項5記載の複数目標の測距装置。

【請求項10】発射パルスを送信する送信ステップと、送信された該発射パルスに応答して生じる反射パルスを受信する受信ステップと、該反射パルスのうち既定の一つと該発射パルスとの間の時間をクロックパルスの計数により決定する計時ステップとを有し、該計時ステップでは、該発射パルスに応答して生じる該反射パルスの数をモニタリングして、該反射パルスが既定の数だけ受信されたならば該計数を停止することにより、該計数が制御されていることを特徴とする、複数の目標物までの距離を決定する複数目標の測距方法。

【請求項11】目標物の測距距離を決定する分解能および目標物が検出されるべき最大距離を示すユーザー指定値を入力するユーザー入力ステップをさらに含む、請求項10記載の複数目標の測距方法。

【請求項12】前記ユーザー指定値は、測距カウンタへのクロック入力の周波数を制御するためのクロック分割比である、請求項11記載の複数目標の測距方法。

【請求項13】前記最大距離以内で検出すべき目標物の数を示すユーザー指定値を入力するユーザー入力ステップをさらに含む、請求項11記載の複数目標の測距方法。

【請求項14】前記反射パルスのモニタリングにより前記計数が制御される前に、該計数値が越えているべき最小計数値を入力する最小計数値入力ステップをさらに含んでいる、請求項10記載の複数目標の測距方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一般的に目標物までの距離を割り出すために、参照時間に対するイベントの時間遅れの計測に関する。より詳しくは、参照パルスに対する複数の目標物からのそれぞれの反射パルスの間で、時間遅れを測定するための装置および方法に関する。

【0002】

【従来の技術】時間遅れを計測する装置としては、たと

例えば、光学電子的測距装置、電子的測距装置および超音波測距装置が知られている。レーザー測距装置などの光学電子的測距器は、発射されたレーザーパルスの飛行時間、すなわち、パルスの発射と目標物からの反射レーザーパルスとの間の時間を計測する。発射されたレーザーパルスの飛行時間を決定するためには、通常はカウンターが、レーザーパルスの発射からスタートし、反射パルスの受信でストップする。

【0003】さらに、視野（FOV）内の複数の目標物を検知するために、追加されている目標物に対する飛行時間を計測する装置がいくつも開発されている。たとえば、公知の光学電子的測距装置は、パルスの発射でスタートし、反射されたパルスの受信で停止するカウンターを有している。いったんカウンターが止められたなら、計数情報はカウンターから中間的な保存位置へ送られる。そして、カウンターは次の反射パルスが受信されるまでカウントし続ける。

【0004】この様な装置には、複数のパルスを検出できるという能力があるにもかかわらず、大きな欠点がある。たとえば、測距装置は、カウンターの分解能未満のタイムインターバルで、カウンターから中間的な記憶装置へのデータ転送を行えることが必要である。すなわち、データ転送の間にカウンター出力の状態が変わらないように、データーは1クロックサイクル以内に中間的な記憶装置に転送されなければならない。それゆえ、このような測距装置の実用的なものは全て、同期カウンターの使用を必要としている。しかしながら、データー幅が8ビット以上の場合や、カウンターの分解能が500ピコ秒のオーダーの場合には、同期カウンターの実施は困難である。

【0005】他の公知の測距装置として光学電子的測距装置があるが、この光学電子的測距装置は複数のカウンターを有している。各カウンターは、光パルスの発射でスタートし、各カウンターは複数の反射パルスが受信されるシーケンス内で停止させられる。しかしこの装置は、それぞれ広いデーター幅と高分解能とを有する複数のカウンターを必要とするという短所がある。すなわち、複数のカウンターを使用するためには、広い面積とたいへんに高いパワー消散とが必要とされるので、実際の実施例では検出できる目標物の数に制限が生じる。

【0006】米国特許第5,553,228号（ゲイス等）は、視野内の複数の目標物への距離を検出するための別の装置を開示している。この特許には、既定の計測サイクルを複数のタイムインターバルへと分割することが記載されている。距離のシーケンスは、各タイムインターバル以内での受信可能なラウンドトリップ遷移時間と関連づけられており、各インターバルでの目標物の存在か不存在かをストアーするために、デジタルメモリーが使われている。この装置の短所は、その最大の分解能が上記デジタルメモリーに情報を書き込むのに必要な時

間の関数であることである。そのうえ、それぞれの指定されたタイムインターバル以内で目標物からの反射パルスの有無を検知しなくてはならない計測サイクルによって、この装置の能力は限定されている。したがって、レンジまたは分解能を向上させるために、計測サイクル中のタイムインターバルの数が増大すると、記憶装置のロケーションの数も線形的に増大せざるを得ない。たとえば、計測サイクルを二倍に増やすと、それに伴ってデジタルメモリーのサイズも二倍に増やす必要がある。それゆえ、高分解能（すなわち短いタイムインターバル）およびまたは大きな計測サイクルが要求される場合には、この装置は実用的ではない。さらに、所定の計測サイクルに於いて信号評価装置に情報が一つでも読み出される以前には、目標物からの反射パルスの全履歴をこの装置は記憶しているの、同装置はリアルタイムオペレーションには不適である。

【0007】その他の通常の測距装置としては、レンジゲーティングを前提としたものがあり、同装置では、カウンターはわずかのタイムインターバルにしか有効でない。たとえば、第1の目標物が送信機から10m以内にあるものと予期できる場合には、カウンターは10mの距離に合わせた時間周期内で反射パルスを検出できるようになっている。もし、この距離以内に目標物が検出されない場合には、カウンターは10～20mの距離での目標物からの反射パルスを検出できるようにされる。この過程は、それぞれのゲート距離に対して、指定の全ての距離が探索されるまで続けられる。レンジゲーティングの短所は、分解能を向上させると、一回の計測サイクルを実行するのに要する時間が大幅に増えることである。たとえば、それぞれの明示されているインターバルが1mの分解能を処理するものであれば、2000mの距離を計測するシーケンスは、2000個の個々の計測を必要とするであろう。このような動作は非常に時間がかかるので、リアルタイムのデータ取得には有効でないし不適である。

【0008】米国特許第4,477,184号（エンドー）には、レンジゲーティングに関しての以上の記載と同様の短所がある測距装置が開示されている。ここでは、目標物を検出するために視野の全体にわたって走査するレーザーが使用されている。高分解能を達成するために、視野の各セグメント部分は比較的小さい。視野の全体にわたって走査するのに要する時間は、要求される分解能に比例して増大するので、ここで開示されている装置は、リアルタイムでは高分解能を達成するのに不適である。

【0009】

【発明が解決しようとする課題】したがって、大きな最大距離にわたって高分解能を持っているシステムを使用し、リアルタイムで複数の目標物までの距離を検出する方法および装置を提供することが望ましいであろう。そ

の際、ユーザーによって容易に製作でき、実用的で費用効果が高いシステムを提供することが望ましいであろう。

【0010】

【課題を解決するための手段およびその作用・効果】本発明の代表的な実施例は、複数の目標物が比較的大きな計測範囲にわたって散在していても各目標物までの距離を高分解能で検出することができるように、視野内の各目標物からの反射パルスを検知するための方法および装置を指向している。本発明の代表的な実施例は、測距データのリアルタイム取得をもたらすことができ、かつ、実際の費用効果がよくユーザーによる再構築に適するように実施されうる。本発明によれば、複数の目標物までの距離を決定するための方法および装置が開示されている。代表的な実施例は、パルスを発射する手段と、この発射パルスに应答して生成される反射パルスを受信する手段と、上記反射パルスと反射パルスのうち所定のひとつの間の時間遅れを決定する手段とを備えている。この決定手段は、クロックパルスを生成するクロックジェネレーターと、このクロックパルスを計数するカウンターと、上記反射パルスに対応して発生する上記反射パルスの数をモニタリングすることと上記反射パルスを既定の数だけ受信したら上記カウンターの作動を停止することとにより上記カウンターを制御する手段とを、さらに含んでいる。

【0011】

【発明の実施の形態および実施例】図1(a)～(d)および図2(a)～(b)は、本発明による視野内の複数目標物の反射パルスの検知を示すタイミング図である。視野内の複数の目標物への距離を決定するには、代表的な実施例は所定の数の目標物を検知するために初期化される。さらに代表的な実施例は、所望の分解能、最大測距レンジ、目標物検出の順番（すなわち、どの目標物を最初に検知し、どの目標物を次に検知するかなど）、および目標物の検知距離の最小限度を設定されて初期化される。

【0012】図1(a)の測距シーケンス100のように、既定の測距シーケンスで発射されるパルスの数は、検出すべき目標物の最大数「n」に等しい。初期化の後、参照パルス（たとえばレーザーパルス）102を発射するトリガーとなるスタートコマンドが発せられる。参照パルス102は、カウンターに計数を開始させる。レーザーパルス102が発射されたら、目標物からの反射パルスの受信がモニターされる。最も手近にある目標物が最初に検出されるべきものであるとすれば、最初の反射パルス104がカウンターを停止させる。そして、カウンターにストアされている計数値は、最初の目標物までの距離を示すものとして、制御プロセッサに出力され、(図1(b)に示すように)続いてくるパルス106、108は無視される。最初の目標物までの距離

を検出した後、カウンターはリセットされ、そして第2の目標物までの距離を検出するために、第1測距シーケンス100の第1スタートコマンド110が発せられる。第2の参照パルス110が発射されると、カウンターは再び始動される。しかしながら図1(c)に示すように、今度は第2の目標物を表している反射パルス114が受信されるまで、カウンターは停止しない。すなわち、第1の反射パルス114を反射する目標物までの距離を表す計数値をカウンターがストアするように、最初の反射パルス112および後続の反射パルス16は無視される。

【0013】そうして、カウンターはもう一度リセットされ、図1(d)に示すように、第3のスタートコマンドが発せられて測距シーケンス100のスタートパルス118が発射される。最初の目標物と第2の目標物とはすでに検出されているから、反射パルス120、122は無視される。しかしながら、第3の反射パルス124を検出するとカウンターは停止させられて、第3の目標物までの距離を表す計数値がストアされる。

【0014】第nのスタートコマンドが発せられて、既定の測距シーケンス内での全ての目標物が検出されると、測距シーケンス100は完了する。そして、所望であれば次の測距シーケンス126が実施可能になる。測距シーケンス126は、測距シーケンス100を反復してもよいし、あるいはたとえどれか一つまたは数が増えないし減少している全ての目標物を検出しても良い。

【0015】図2(a)は、潜在的な目標物として他の車両が含まれる車両制御環境における衝突防止用のこの測距オペレーションの代表的な用途を示している。図1(a)～(d)および図2(a)～(b)に関して記述されたオペレーションを用いて、被制御車両140からサテライトパルス128が発射される。目標車両142、144、146、148からの反射パルス132、134、136、138は、それぞれ被制御車両140から各目標車両までの距離を決定するために使用される。

【0016】本発明の代表的な実施例によれば、複数のカウンターを要しないで複数の目標物を検出することができるか、または複数のカウンターを使用して中間的な記憶位置へ1クロック周期以内にデータを送って複数の目標物を検出することができる。そのうえ、代表的な実施例では、複数の既定のタイムインターバルのそれぞれについて情報をストアする大きなデジタルメモリーは全く必要がない。

【0017】図3には、図1(a)～(d)および図2(a)～(b)のオペレーションを実施するための装置の代表的な実施例が図示されている。図3では、測距装置200が、複数の目標物までの距離を決定する装置を構成している。測距装置200は、レーザーパルスを発生させるための通常の送信機202のような、パルスを

発射する手段を含んでいる。反射パルスに対する複数の反射パルスを受信する手段は、通常の受信機204として提示されている。反射パルスのうちの既定の一つと発射パルスとの間の時間を決定する手段は、複数目標物の測距用の目標物測距装置300を含んでいる。プロセッサは、測距装置200に制御情報を提供するものであり、目標物測距装置300に含まれていても良い、

(図示の)外部プロセッサ206のように目標物測距装置300の外にあっても良い。

【0018】代表的な実施例によれば、外部プロセッサ206は、プログラマブル・ゲートアレイであっても良い。しかしながら、当業者には通常のマイクロプロセッサであれば何でも制御オペレーションに使用できることがお分かりになろう。測距オペレーションを始めるには、外部プロセッサ206がスタート信号線208を介し目標物測距装置300に対してスタートコマンドを発する。このスタートコマンドは、参照パルスの発射を始めるために、スタート信号線210を介して送信機202へも供給される。受信機204によって検出された反射パルスは、反射パルス信号線238を介して目標物測距装置300に信号を送るために使用される。反射パルスは、カウンタストップ信号を生成するために使用される。

【0019】外部プロセッサ206はまた、それぞれクロック信号線212およびデータ信号線214などの多数の信号線を通じて、目標物測距装置300とコミュニケーションを取っている。クロック信号線212は、測距装置200の初期化ないし再構築の間に、データ信号線214を介してデータをローディングするために使用される。

【0020】データ信号線214を介して供給されるこのデータに含まれている情報は、以下のユーザーが指定できる変数を含んでいる。

(1) 与えられた測距オペレーションのための目標物の最大数(最大目標物数)

(2) 測距装置200の最小分解能および最大距離を規定するタイミングインターバルをプログラムするための分割比参照値(分割比)

(3) 所定の計数値に達するまでに「カウンタストップ」コマンドを発生させる最小計数値(最小計数値)

(4) 非カスケードモードからカスケードモード(最大距離を延長するために、目標物測距装置300内の内部カウンタのキャリーアウトに少なくとも一つの外部カウンタが接続されている)を識別するために使われるモードコマンド(モード)

(5) 搜索されている目標物の数を表す目標物数(目標物数)(たとえば、最も手元の目標物から最も遠い目標物への順で探したり、逆に最も遠い目標物から最も近い目標物の順で探したり、ユーザーはいかなるオーダーでも目標物を搜索できるようシステムを構築できることに

留意されたい。)

外部プロセッサ206はまた、データ信号線214を介してデータが送られたことを確認するために、ストロボ信号線216を介してストロボ信号を(測距装置300に)送る。リセット信号線218は、目標物測距装置300のパラメータをリセットする。クロック選択信号線220は、システムクロック信号が、(1)目標物測距装置300内の内部クロックと、(2)外部クロック信号線222を介して目標物測距装置300に受け取られる外部クロックとのいずれから発生したかを識別するために使用される。目標物測距装置300の内部クロックは、参照オシレーター入力236に対応して駆動される。

【0021】データ受信信号ライン224は、目標物測距装置300からデータが受領されたのがいつであるかを知らしめるために、プロセッサ206によって使用される。たとえば、目下搜索中である目標物の範囲に対応する有効なデータが受信されて、外部プロセッサ206にストアされたときに、「受領」信号が目標物測距装置300に対して送られる。

【0022】目標物測距装置300はまた、各種の信号線を通じて情報を外部プロセッサ206に送る。目標物測距装置300によって取得された有効な測距データは、データ信号線226を介して外部プロセッサ206に送られる。このデータは、レディー信号線228を介して「レディー」信号とデータ有効信号線230を介してデータ有効信号とが目標物測距装置300から受領されているとき、外部プロセッサ206によって読みとられる。

【0023】制御レディー信号線232は、目標物測距装置300が測距シーケンスの間にいつあるかを外部プロセッサ206に知らせるために、目標物測距装置300によって使用される。制御レディー信号が現れるときには常に、データ信号線214を介して新しい変数が測距装置200に供給されることにより、測距装置200が再構築される。最後に、目標物測距装置300の内部カウンタが最大計数値に達したときがいつであるかを知らせるために、持ち出し(キャリーアウト)信号線234が使用される。それゆえ、持ち出し信号は、測距シーケンスの既定のインターバルの間に目標物が検出されなかったことを、外部プロセッサ206に知らせる。

【0024】さて、図4を参照にして、目標物測距装置300の特徴をさらに詳細に至るまで説明する。図4の代表的な実施例に図示されているように、目標物測距装置300は、スタート信号線208を介して2ビットの差動入力を受領し、受信機204から反射パルス信号線238を介して2ビットの差動ストップ信号を受領する。スタート信号およびストップ信号のそれぞれについて、その2ビットが反転および非反転スタート/ストップ

ブ信号を構成する。スタート信号およびストップ信号のそれぞれに対するこれらの反転信号および非反転信号は、公知の仕方でエッジ検出を向上させるための比較のために、バッファに供給される。しかしながら、所望であればスタート信号とストップ信号とを一つの信号線にまとめられることは、当業者であれば分かることであろう。

【0025】スタート信号およびストップ信号は、タイミングおよび制御ブロック404として表されているカウンタ制御手段302に供給される。タイミングおよび制御ブロック404はまた、クロック信号線212、データ信号線214およびストロボ信号線216を介して、初期化および再構築データを受け取る。図3に示すように、タイミング及び制御ブロック404は、リセット信号線218、クロック選択信号線220およびクロック信号線222を受領している。クロック選択信号線220は、外部クロック信号線222を介しての外部クロック信号線222を使用すべきか、あるいは参照オシレーター入力236を使うべきかを知らせる。代表的な実施例の場合、2GHzオーダーのシステムクロック信号が使用できる。しかしながら、クロック周波数は2GHzよりも大きくても小さくても構わず、いかなるオーダーのクロック周波数であってもカウンタデータを処理する上で論理エラーを生じないことは、当業者であればお分かりになるであろう。

【0026】クロックパルス発生手段304は、フェーズロックループ(PLL)回路402で示されており、参照オシレーター入力236にตอบสนองして内部クロック信号を内部クロック信号線306上に発生させる。代表的な実施例では、参照オシレーターは25MHzのオーダーの周期でパルスを発生させる比較的スロースピードのオシレーターであって良い。

【0027】タイミング及び制御ブロック404からの出力は、カウンタ406として示されているクロックパルスを計数する手段308に供給される。図3の代表的な実施例では、カウンタ406は12ビットカウンタである。しかしながら、このカウンタのビット数はいくつでも良いことは、当業者であればお分かりになる。このカウンタからの12ビット出力は、カウンタ出力信号線312を介して供給される。さらに、このカウンタは、キャリアアウト信号をキャリアアウト信号線234に供給する。

【0028】この12ビットのカウンタ出力は、タイミング及び制御ブロック404の出力と共に、データフォーマッティングブロック408として示されているデータフォーマッティング手段310に供給される。データフォーマッティングブロック408は、カウンタ出力信号線312上の連続的に変化する計数値が目標物測距装置300のデータ信号線226に供給されないことを保証している。データフォーマッティングブロック

408は、反射パルス信号線238上の反射パルスに対応してタイミング及び制御ブロック404によりカウンタストップコマンドが発生させられた時のみ、カウンタ406の計数値をデータ信号線226に供給する。

【0029】データ信号線226に有効なデータが供給されたときには、レディー信号がレディー信号線228に印加され、データ有効信号がデータ有効信号線230に供給される。これらの信号は、目標物測距装置300と外部プロセッサ206との間のその他の信号と同様に、タイミング及び制御ブロック404からデータフォーマッティングブロック408を介して外部プロセッサ206に供給される。

【0030】目標物測距装置300の電源は、電源調整回路314を介して供給される。図3の代表的な実施例の電源調整回路314は、いかなる通常のフィルタリングを含んでいても良く、外部の5V電源入力316およびグラウンド入力318を介して電源を受け取る。図5は、図3の目標物測距装置300の特徴をさらに詳細に図示したものである。図5では、フェーズロックループ回路402は、参照オシレーター入力236を受け取る通常の位相比較器412を含んで図示されている。電圧制御オシレーター(VCO)414は、代表的な実施例では2GHzのオシレーターである。この電圧制御オシレーター出力は、位相比較器412への参照オシレーター入力との比較のために、クロックディバイダー416を介して分割される。参照オシレーター入力236と電圧制御オシレーター414との間の位相誤差は、通常の仕方で電圧制御オシレーター414の出力周波数を調整するために、ローパスフィルタ418に供給される。電圧制御オシレーター414からの位相が補償されている出力は、内部クロック信号線306を介して、タイミング及び制御ブロック404の2:1マルチプレクサー420に供給される。このマルチプレクサー420は、クロック選択信号線220を受け取る。クロック選択信号線220の状態に応じて、フェーズロックループ回路402によって生成される内部クロック信号か、あるいは外部クロック信号線222を介して受け取る外部クロックかが、マルチプレクサー420からの出力になる。

【0031】マルチプレクサー420からのこの選択された出力は、クロック信号ディバイダー422に供給される。ディバイダー422の分割比(DIV)は、ユーザーが設定できる変数であり、制御レジスタ600にストアされていてディバイダー選択信号線424を介してディバイダー422に供給される。この分割比は、カウンタ406を駆動するシステムクロック信号のクロック周波数を修正するために使用される。クロック周波数を修正することによって目標物測距装置300の分解能およびレンジが制御できることは、当業者には分かることであろう。

【0032】たとえば、この分割比を増やせば、カウンタ406を駆動するために使われているクロック周波数が減少して、既定の測距シーケンスでの分解能が低下することであろう。しかしながら、分解能が低下することにより、カウンタ406が反射パルスを検出できる最大レンジ（距離）は増大するであろう。逆に、分割比を減らせば、分解能が向上し最大レンジは低減されるであろう。代表的な実施例では、この分割比はいくつに設定しても良く、1, 2, 4, 8などを含む値に設定できる。

【0033】カウンタ406は、始動信号線428を介して始動され、クロック信号線426上の分割されたクロックパルスを計数する。この始動信号は、カウンタ始動ブロック430として図示されているカウンタオペレーションを始動する手段から供給される。カウンタ始動ブロック430は、スタート信号線208を介してスタートコマンドを受け取る。さらに、カウンタ始動ブロック430は、停止ブロック500として図示されているカウンタオペレーションを停止させる手段から、カウンタ停止信号線446を介して、ストップコマンドを受け取る。

【0034】このスタートコマンド（始動信号）は、図3の送信機202からのパルスの送信と同時に発生する。停止ブロック500（図5参照）は、既定の測距シーケンスで探索下にある目標物が検出された時か、または測距シーケンスが完了したときに、カウンタ停止信号線446上のストップコマンド（停止信号）によって停止させられる。

【0035】代表的な実施例では、停止ブロック500は、目標物の最大値までの目標物が測距されるまで、測距シーケンス中で各目標物に対するストップコマンドを各目標物に関して連続して発生させる。たとえば、最も近い目標物から最も遠い目標物へと順に検出する場合には、停止ブロック500はその測距シーケンス中での検出された目標物のそれぞれをモニターすることができ、第1の最も近い目標物が検出されたら第1のストップコマンドが発生する。カウンタ406がリセットされた後、第2の目標物からの反射パルスが検出されたときに、停止ブロック500は次のストップコマンドを発生させる。既定の測距シーケンス内の全ての目標物が検出されるまで、このプロセスは続く。

【0036】既定の測距シーケンス内の検出すべき目標物の最大数は、制御レジスタ600から最大目標物信号線448を介して、停止ブロック500に供給される。この最大目標物数は、ロードコマンド信号線538上のロードコマンド信号に対応して、停止ブロック500のレジスタ（たとえばカウンタ）にローディングされる。

【0037】測距クロック信号は、測距クロック信号線542を介して停止ブロック500に供給される。測距

クロック信号は、すでに測距された目標物の数を追跡するために、停止ブロック500によって使用される。クロック停止信号線454は、反射パルス（すなわちカウンタ406がその最小計数値に達したのに続いて受信された反射パルス）を、停止ブロック500に供給する。停止クロック信号は、既定の目標物を測距する際に受信される反射パルスの数を追跡するために、停止ブロック500によって使用される。停止ブロック500はまた、システムクロック信号線426を受け取る。

【0038】測距シーケンスに先立ち、クリアー信号線540を介して停止ブロック500がリセットされる。一つの測距シーケンス内での全ての反射パルスが検出された後で、停止ブロック500は、完了信号線544を介して完了信号を発生させる。各信号線454, 538, 540, 542上のローディング信号、クリアー信号およびクロック信号は、タイミング及び制御ブロック404の制御回路444から、停止ブロック500へ供給される。さらに、一つの測距シーケンスの終了を示す完了信号が、完了信号線544を介して制御回路444へ供給される。

【0039】データー信号線214（図3参照）は、一つの測距シーケンス中で検索すべき目標物の数を表している目標物数（目標物数）を供給するのに使用される。ここではすでに、ユーザーはデーター信号線214を介して制御レジスタ600に目標物数を入力しており、この目標物数は目標物数信号線450を介して停止ブロック500に供給されう。

【0040】さて、図5の制御回路444についてより詳細に説明しよう。制御回路444は、フィルター制御信号線432を介して入力を受け取る。フィルター制御信号は、ユーザーが指定した最小値をカウンタ406の計数値がいつ越えたかを示している。フィルター制御信号は、停止ブロック500のクロック停止信号線454上のクロック信号を生成するのに使われ、それによってその最小値に達するまでにカウンタ406が停止しないようにしている。フィルター制御信号線432もまた停止ブロック500に供給されており、カウンタ406がその指定された最小値に達してしまうまでは、計数停止信号線446上からカウンタ406に停止コマンドが供給されることがないようにしている。それゆえ、この最小計数値はノイズフィルターとして使用されている。すなわちこれには、参照パルスの発射に続く目標物からの反射パルスと考えられる既定の時間間隔以内に受信された反射信号を、除去する作用がある。

【0041】フィルター制御信号を生成するために、カウンタ406の計数値は、比較器434に供給される。比較器434もまた、信号線436を介して最小計数値を受け取る。この最小計数値は、ユーザーによって指定され、制御レジスタ600にストアされている。その二つの入力の比較に基づいて、比較器434

は、計数値がその最小計数値以上であった場合に、フィルター制御信号を生成する。フィルター制御信号が発生しているときにのみ、停止ブロック500は計数停止信号線446上に停止コマンドを流すことができる。したがって、ユーザーの指定による最小計数値を使用することにより、検出すべき最初の目標物よりも測距装置200の近くにある物体を誤って検出してしまうことが防止される。

【0042】カウンタ406からの出力もまた、図5のラッチ回路409を含んでいるデータフォーマッティング手段408に供給される。ラッチ回路409は、有効な測距データだけが目標物測距装置300のデータ信号線226に供給されるようにしている。このラッチ回路409は、ローディングコマンド信号442に対応してローディングされており、同信号はタイミング及び制御ブロック404の制御回路444によって生成されている。制御回路444は、カウンタ406の計数値が有効な測距データを表すように、カウンタ406が停止させられたときにローディングコマンド信号を生成する。

【0043】制御回路444は、スタート信号線208上のスタート信号を受け取り、反射パルス信号線234を介して反射パルスを受け取る。制御回路444は、次の目標物の測距が開始されるときに毎回、外部プロセッサ206からスタート信号を受け取る。外部プロセッサ206は、目標物測距装置300からのデータを受け取る度に、また測距シーケンスの次の目標物を検索すべき時に、スタート信号を発生させる。ユーザーにより指定された最小計数値をカウンタ406の計数値がいつ越えたかを示す比較器434からの出力を、制御回路444が受け取るので、制御回路444は、(受信機に対してより近くにある物体からの反射が大きいにもかかわらず)目標物によって反射されたパルスに対応する反射パルスがいつ発生したかを決定することができる。この情報に基づいて、制御回路444は、停止ブロック500の測距クロック信号線542上に測距クロック信号を発生させることができる。

【0044】図5に示すように、制御回路444は、制御レジスタ600からカスケード信号線452を介してカスケードモード入力信号をも受け取る。カスケードモード信号は、カウンタ406がカスケードモードにあるか否かを示す。さらに、制御回路444はまた、リセット信号線218上のリセット信号をも受け取り、クロック信号線426上のシステムクロック信号をも受け取る。

【0045】制御回路444は、キャリアアウト信号線234上のキャリアアウト信号をも受け取る。このキャリアアウト信号は、停止ブロック500を介してカウンタ406を停止させるために、制御回路444によって使用される。キャリアアウト信号の値に基づいて、

制御回路444は、カウンタ406の出力に有効な測距データがあるかどうかを判定することができる。

【0046】測距シーケンスの間に制御回路444は、信号線232上に制御レディー信号を生成し、データ有効信号線230上にデータ有効信号を生成し、レディー信号線228上にレディー信号を生成する。制御回路444は、外部プロセッサ206から受信信号線224を介して受信信号を受け取る。制御回路444はまた、停止ブロック500から、計数ストップ信号線446上の計数ストップ信号を受け取り、完了信号線544上の完了信号を受け取る。制御回路444は、今検出された目標物を表す最新の受信した反射パルスが、搜索下にあった目標物数に対応するのはいつであるかを追跡するために、ストップ信号を使うことができる。この完了信号は、測距シーケンスの完了を追跡するために、制御回路444によって利用され得る。

【0047】これらの種々の信号に応答して、制御回路444は、測距シーケンスが始動する度に、制御レジスタ600から停止ブロック500への最大目標物数をローディングするために、ローディング信号を発生させる。制御回路444はまた、レディー信号が出力された後に、クリアー信号線540上にクリアー信号を発生させる。このクリアー信号は、続いて起こる測距シーケンスに備えて停止ブロック500をリセットするために使用される。最後に、制御回路444は、カウンタ406内に有効なデータが存在する場合には、外部プロセッサ206にデータを供給するように、ラッチ409に対してローディング信号を出力する。

【0048】次に、図5中の停止ブロック500の代表的な実施例について、図6を参照して詳細に説明する。図6に示すように、停止ブロック500は、フリップフロップ502, 504, 506, 508, 510, 512, 514, 516が含まれており、これらは選択的にシフトレジスタを形成している。図6の代表的な実施例では、これらは全てDフリップフロップであり、これらの最初のものは、("1"で示される)高い論理レベルをそのD入力で受け取る。

【0049】受信機204からの反射パルスは、クロック停止信号線454を介して受け取られ、これらのフリップフロップそれぞれのクロック信号として供給される。反射パルスが受信されると、対応する数のフリップフロップがそれらのQ出力で論理レベルを処理して高める。たとえば、受信機204により三つのパルスが受信された場合には、フリップフロップのうち502, 504, 506が、これらのQ出力に於いて論理レベルを処理して高める。

【0050】これらのフリップフロップのうち一つを選んでQ出力を調べることにより、与えられた目標物数に対応する反射パルスが受信されたか否かが判定される。たとえば、第3のフリップフロップ506のQ出力が高

い論理レベルに遷移しているのをモニターすることにより、第3の目標物の反射パルスが受信されているか否かを判定することができる。

【0051】図6に示すようなシフトレジスタを使用することにより、停止ブロック500は一つの測距シーケンス内で各目標物を連続的に検出できるように構成される。各フリップフロップからの出力は、8:1マルチプレクサー518に供給される。同マルチプレクサーの選択信号線520を制御することにより、フリップフロップの出力は一度に調べることができる。

【0052】図6の実施例では、選択信号線520は、2:1マルチプレクサー546から供給される3ビットの値である。2:1マルチプレクサー546への一つの入力は、一つの測距シーケンス内で検索下にある目標物のユーザーが指定した数値を表す目標物信号線450である。与えられた測距シーケンスの一つ以上の目標物を指定するユーザー入力に対応して、ストップ計数信号を生成するように、停止ブロック500を構成することが可能であることは、当業者にはお分かりになるであろう。測距シーケンスに於いてそれぞれ異なった各目標物を検索しなくてはならないから、ユーザーによって供給される目標物数は変更可能であり、それによって目標物信号線450上の3ビットの入力は変動する。

【0053】たとえば、もし最も近い最大である8個の目標物が最初に検索されるのであれば、目標物信号線450上の3ビットの値は000にセットされる。この3ビットの値は、続いての測距シーケンスの間に測距オペレーションでそれぞれ続きの目標物が検索される度に、変更可能である（代表的な実施例では、ユーザーは一つの測距シーケンスの間に一つの目標物数だけを指定できるのであるから、別個の測距シーケンスではそれぞれの続きの目標物を検索するように始動される）。したがって、目標物を検索するオーダーは、ユーザーが指定することができる。

【0054】停止ブロック500はまた、測距シーケンス内で既定のオーダーに従い、1以上の目標物値を通して自動的に選択信号線520を配列するように構成することができる。代表的な実施例に於いては、選択信号線520は、選択カウンター522を用いて連続した値を通して自動的に配列される。選択カウンター522は、測距信号線542上の測距クロック信号により駆動される。このクロック信号は、測距シーケンスにおいて新しい目標物の検索が始まる度に、パルスを生成する。一つの測距シーケンスで各目標物が検索されると、選択カウンター522からの出力は変化する。選択カウンター522はまた、新しい測距シーケンスが始まる度に、クリアー信号線540を介してシステムリセット信号を受け取る。

【0055】選択カウンター522の出力は、選択信号線520を介してマルチプレクサー518に一連の値を

直接供給するためにも使用できることは、当業者にはお分かりになる。しかしながら、停止ブロック500の柔軟性を向上させるために、選択カウンター522の出力は、アドレス信号線524を介してルックアップテーブル526に供給される。代表的な実施例では、一つの測距シーケンスで最大で8個の目標物が検索できるようになっており、0から8までの一連の数字が、どのような順番でもこのルックアップテーブルにストアされる。しかしながら、図6の実施例は、与えられた測距シーケンスでいくつの目標物でも検索できるように改造可能であることは、当業者にはお分かりいただけるであろう。

【0056】したがって、ルックアップテーブル526は、ユーザーにより予め指定されているランダムなオーダーで目標物の検索ができる測距シーケンスを適応させるために使用できる。たとえば、ルックアップテーブル526は、他の目標物のそれぞれを検索するように測距シーケンスを適応させるように構成することが可能である。それゆえ、選択カウンター522がインクリメントされる連れて、ルックアップテーブル526はマルチプレクサー518を通じてフリップフロップ504, 508, 512, 516からの出力を連続的にゲーティングするであろう。

【0057】検索下にある所定の目標物が定位され検出された時には、適正なフリップフロップのQ出力が高い論理レベルに遷移する。この出力は、マルチプレクサー518を介してANDゲート532へ供給される。ANDゲート532は、ストップ計数信号が発せられるには、カウンター406（図5参照）が最小計数値を越えていなければならないことを保証する。このカウンター計数値が最小計数値を超えている時のみ、ANDゲート532の出力は高い値に遷移して、ラッチングフリップフロップ534をセットすることができる。マルチプレクサー518を介してストップ計数信号が供給され、カウンターの計数値が最小計数値を超えていると、ANDゲート532により生成された高い論理レベルは、次のシステムクロックパルスのDフリップフロップにラッチされる。そうしてカウンター停止信号は、図5のカウンター始動ブロック430にカウンター停止信号線446を介して供給される。カウンター406は、測距シーケンスで次の目標物の検索が制御回路444によって始まるまで、再始動されない。そのとき、フリップフロップ534もまたクリアーされる。

【0058】図6に示すように、停止ブロック500もまた、目標物カウンター536を備えている。目標物カウンター536は、与えられた測距シーケンスにおける検索すべき目標物の数をローディングされることができる。ローディング信号は、図5の制御回路444からローディング信号線538を介して供給される。それゆえ、目標物カウンター536には、与えられた測距シー

ケンスにおける検索すべき目標物の数がローディングされる。

【0059】目標物カウンター536は、選択カウンター522をクリアするために使用される同じクリアー信号線540を介して、クリアーされる。目標物カウンター536は、選択カウンター522のために使われる同じ測距クロック信号により、測距クロック信号線542を介して計時される。運用（オペレーション）時には、測距シーケンスの始動時に、ローディング信号線538上のローディング信号が高くなり、それによってその測距シーケンスで検索すべき目標物の最大数がローディングされる。カウンター406がその最小計数値に達したのに続いて受信される各反射パルスをもって、目標物カウンター536はデクリメント（一つずつ低減）される。目標物カウンター536がデクリメントされてひとたびゼロになってしまったら、目下の測距シーケンスが完了したことを制御回路444に知らせるために、出力信号線544上に完了信号が生成される。

【0060】さて、図5の制御レジスター600については、これから図7を参照して詳細に説明する。図7の代表的な実施例は、複数のDフリップフロップを備えた制御レジスター600を示している。制御レジスター600は、プロセッサ206からのデーターを連続的にローディングする。このデーターは、ユーザーが設定できる変数のそれぞれを表している。ユーザーによって設定可能な変数が全てローディングされてしまうと、測距オペレーションは始動可能になる。

【0061】さらに詳しくは、クロック信号線212上のクロック信号にตอบสนองして、ユーザーにより指定されたデーターが、プロセッサ206から制御レジスター600のフリップフロップへと供給される。ユーザーによって指定されたデーターには、与えられた測距シーケンス内での検索すべき目標物の最大数と、分割比と、カスケードモードと、最小計数値と、与えられた測距シーケンス内で検索すべき目標物数とが含まれている。このデーターは、フリップフロップ602～634にシリアル（直列）に入力される。この様なデーターが全てプロセッサ206（図3参照）から目標物測距装置300に移送されてしまうと、ストロボ信号がプロセッサ206からストロボ信号線216を介して供給される。その結果、ユーザーが指定したデーターは、フリップフロップ602～634（図7参照）から制御レジスター600のフリップフロップ636～668へと移送される。

【0062】図7に示すように、フリップフロップ636, 638, 640は、停止ブロック500（図5参照）への入力とするために、現在の測距シーケンスにおける検索中の目標物の最大数を表す3ビットの値をストアーする。図7のフリップフロップ642, 644は、クロック信号分割器422（図5参照）の分割比を表す2ビットの値をストアーする。図7のフリップフロップ

646は、目標物測距装置300のレンジ（距離）を延長するために、カウンター406のキャリーアウトに対して付加的なカウンターがカスケード（接続）されているかどうかを、制御回路444に知らせるカスケードモードをストアーする。

【0063】図7のフリップフロップ648～662は、比較器434（図5参照）へ供給される最小計数値を表す8ビットの値をストアーする。フリップフロップ664, 666, 668は、現在の測距シーケンスでの検索すべき特定の一つの目標物を表す3ビットの値をストアーする。この値は、目標物信号線450（図6参照）を介して供給される。

【0064】複数目標物の測距を行うための測距装置200の代表的な実施例について説明したので、制御回路444（図5参照）のオペレーションも含めて、この代表的な実施例のオペレーションにつき、これから図8～10を参照して説明する。図8に示すように、システムのオペレーションは、ブロック700で表されているユーザーによるシステム構築から始まる。ユーザーは、目標物の最大数（最大目標物数）と、クロック分割器の分割比と、最小計数値と、カスケード/非カスケードモード（モード）と、所望であれば指定の検索すべき目標物（目標物数）とを指定できる。

【0065】ブロック702でのシステムの初期化は、さらに、検索すべき最初の目標物の目標物数の初期化をも含んでいる。ここで、指定の目標物数は、制御レジスター600にストアーされており、目標物数は、指定された目標物に対応して初期化される。あるいは、選択カウンター522（図6参照）をクリアーすることによって、ルックアップテーブル526にストアーされている最初の値に、目標物数は初期化される。検出済みの目標物の現在の数を表す値（測距済目標物数）は、初期化される。現在の目標物数は、各目標物が検出される度にインクリメント（一つ増加）され、インクリメントは現在目標物数が検索目標物数と一致するまで続けられる。測距された目標物の数を表す値（測距済目標物数）はまた、ブロック702で初期化される。たとえば、図1（a）～図2（b）に示す3個の目標物が検出されてしまった後では、測距済目標物数は3である。

【0066】データー有効、レディーおよび制御レディーのハンドシェイク信号（すなわち、データー有効値、レディー値および制御レディー値）もまた、初期化される。有効な測距データーが得られた時（すなわち、停止コマンドが発せられていてキャリーアウト信号がフォールスの時）に目標物測距装置300からプロセッサ206に供給されるデーター有効の信号は、フォールス（偽値）に初期化される。目標物測距装置300の出力でデーターが用意できているとき（すなわち、たとえば、目標物を検出した時、またはカウンター出力の最も重要なビットを持っているカウンターからのキャリーア

ウト信号が生成された時)に、目標物測距装置300からプロセッサ206へと供給されるレディー信号もまた、フォールスに初期化される。測距シーケンスが完了したときに目標物測距装置300からプロセッサ206へ供給される制御レディー信号は、トルー(真値)に初期化される。測距シーケンスへのスタートコマンドが受け取られると、現在の測距シーケンスが完了するまでユーザーがシステムを再構築することがないように、制御レディー信号はフォールスになる。ブロック702に図示されているように、カウンタ406およびデーター信号線226(図5参照)もまた、ゼロの値に初期化される。

【0067】ブロック704では、測距装置200は、その内部クロックを使用するようになっているか、あるいは外部クロックが供給されているのかを判定する。もしクロック信号線がセットされているのであれば、ブロック706で提示されているように、外部クロックが使用される。もしそうでなければ、ブロック708で提示されているように、内部クロックが使用される。代表的な実施例に従えば、いずれのクロックが使用されるにしても、クロック信号はブロック710に提示されているように分割され、その後、ブロック712で目標物測距オペレーションが開始される。

【0068】測距シーケンスの各目標物までの測距が行われる前に、測距装置200は、カウンタ406と、データー信号線と、レディー信号と、データー有効信号とを初期化する。これらの値は、測距シーケンスに先立ってブロック702で初期化されているから、一つの測距シーケンス内で最初の目標物を測距するのに先立って、これらはブロック714では再び初期化される必要がない。しかしながら、その測距シーケンスにおいてそれぞれ次の目標物を測距するのに先立って、これらの値は再び初期化される。したがって、ひとたびある目標物が測距されたら、これらの値はブロック714で再び初期化される。

【0069】各目標物までの測距を行う前に、判定ブロック716に提示されているように、測距装置200を再構築するチャンスがユーザーには与えられている。制御レディー信号をモニターすることによって、測距装置200を再構築するチャンスは、測距シーケンスの開始と交互に制限されている。もしユーザーがシステムを再構築したいと希望し、目下そのチャンスがあるのであれば、オペレーションは構築ブロック700、702に戻る。

【0070】もしユーザーが測距装置200の再構築を選択しなければ、測距装置200は、測距シーケンスにおいて最初の目標物の測距を始めるために、ブロック718に提示されているようにスタートコマンドの入力を待つ。ひとたびスタートコマンドが受け取られたら、ブロック720に提示されているように、カウンタ40

6は計数を開始する。

【0071】図9に示すように、カウンタ406はブロック722に提示されているように計数を続ける。その間は、制御レディー信号はフォールスに保持されており、測距シーケンスは目下実施中であって測距装置200の再構築はできないことを外部プロセッサ206に示している。与えられた目標物の測距を行っている間に、カウンタ406の計数値が指定された最小計数値を越えていることを保証するために、判定ブロック724はカウンタ406のモニタリングを反映している。最小計数値の使用により、送信機の近くからの強い反射のノイズをフィルタリングすることができる。

【0072】与えられた測距シーケンスで、ひとたび計数値が最小計数値を越えたならば、フローチャートは判定ブロック726に続き、同ブロックでは、ストップコマンドが発せられたかをモニタリングしている。もしストップコマンドが受け取られてしまったら、判定ブロック728がカスケードモードが選択されているか否かを判定する。カスケードモードは、カウンタ406のレンジを延長するために使用されることを思い出されたい。したがって、ブロック730で最大計数値が検出されているかどうかを判定する時には、カスケードカウンタを考慮するためには、カスケードモードが判定されなくてはならない。

【0073】もし最大計数値がブロック730で検出されたならば、カウンタ406から(またはカスケードモードなら外部カウンタから)キャリーアウト信号が供給され、ブロック732でカウンタのオペレーションが停止させられる。図10に示すブロック734で提示されているように、報知オペレーションが実施される。

【0074】図9の判定ブロック726に戻って、ストップコマンドが検出された場合には、判定ブロック736が、反射パルスが現在捜索中の目標物に対応しているかを判定する。たとえば、現在捜索中の目標物が第3の目標物であって、しかも反射パルスはたった一つしか受信されていない場合には、現在の目標物数はその目標物数に対応していない。そこでカウンタ406は計数を続け、現在の目標物数はブロック738でインクリメントされ、そしてオペレーションは、ストップコマンドをモニタリングするために、判定ブロック726の入力に戻る。図6中の停止ブロック500の代表的な実施例では、現在の目標物数が捜索中の目標物の数と一致するまで、ストップコマンドは実際には発生しないことに留意されたい。

【0075】判定ブロック736に提示されているように、ひとたび現在の目標物数が捜索中の目標物数と一致していると判定されたら、カウンタ406はブロック740で停止させられる。すると、カウンタ406内のデーターは、外部プロセッサ206に出力され、レ

ディ信号およびデータ有効信号のフラグが設定される。そしてオペレーションは、図10の報知ブロックに移行する。

【0076】図10に示すように、報知オペレーションは、外部プロセッサ206（図3参照）によって、有効なデータが受け取られているかを検証する。判定ブロック742では、目標物測距装置300は、外部プロセッサ206がデータを受け取ったことを示すフラグを受領信号線がセットしているかどうかを調べる。

【0077】ひとたびレディ信号がセットされたならば、カウンターのオーバーフローが起きているかを判定するために、外部プロセッサ206は、ブロック744でカウンターのキャリアウトを調べる。もしそうであれば、カウンター406は目標物までの測距ができていないので、測距を再び始めなければならない。したがって、ブロック746において、目標物数は1に設定され、キャリアウト信号はゼロリセットされる。測距が再び始められた時に、測距シーケンスにおいて第2の目標物から検索が行われるように、現在の目標物数が1に設定されていることに留意されたい。続く測距は、ブロック748を介して始められる。

【0078】対照的に、もしキャリアウトが判定ブロック744で検出されなかったならば、現在の測距シーケンス内で測距された目標物の数が検索すべき目標物の最大数に一致するかを、判定ブロック750は調べる。もし一致していなければ、測距された目標物の数（測距済目標物数）はブロック754でインクリメントされ、現在の目標物数は再び1に初期化される。測距シーケンスで検索すべき現在の目標物数は、（たとえば図6の選択カウンター522をインクリメントすることにより）次の値にインクリメントされる。

【0079】これとは逆に、測距された最後の目標物は、判定ブロック750で最大目標物数に対応し、初めの測距シーケンスは完了する。ブロック752では、測距シーケンスに関連する変数が再び初期化されて、次の測距シーケンスを実施できるようにする。ブロック752に図示されているように、現在の目標物数は1にリセットされ、目標物数は最初の値に設定され、測距済目標物数はその初期値に設定され、制御レディ信号は希望があればシステムが再構築されうること示すように設定される。希望があればブロック752で、次の測距シーケンスは初期化されることもできる。

【0080】図1～10に図示されている測距装置200およびそのオペレーションの実施例は、単に例を示すだけであって、あらゆる変形態様が実施可能であることは、当業者にはお分かりいただけるであろう。たとえば、図3～8を参照して説明された各部のうちいずれであっても、それと関連した機能を持たせるためには、望むような仕方で結合されることができる。目標物測距装置300から分離されている外部プロセッサ206

は、例示として挙げられているにすぎない。さらに、カスケードモードを実行するためにカスケードされているカウンターは、目標物測距装置300の外部に形成されている必要はない。

【0081】制御レジスタ600（図7参照）は、公知の記憶デバイスであれば何で形成されていても良く、ユーザーが指定した変数の数も希望によりいくつでも構わない。制御レジスタ600に含まれる選定されている正確な変数や、各制御変数を表すために選定されたビット数は、単に一例を示しているだけである。たとえば、制御レジスタ600は、指定した目標物の数がいくつであっても対応できるように改造することもできる。本発明の精神やその不可欠の特徴から逸脱しない限り、本発明は他の特定の形態で実施されうことは、当業者にはお分かりいただけるであろう。それゆえ、ここに開示されている実施例は、全ての点で例示するだけのものであり、限定する性質のものではないものとお考えいただきたい。本発明の範囲は、以上の記述よりも、むしろ付加されているクレームによって示されており、したがって、本発明の意味や範囲や等価なものに含まれる全ての変更点は、本発明に包含されるものとする。

【図面の簡単な説明】

【図1】 各パルスの時間関係を示す組図

(a) 測距シーケンスを示すタイミング図

(b) 目標物を一つ検出する場合のタイミング図

(c) 目標物を二つ検出する場合のタイミング図

(d) 目標物を三つ検出する場合のタイミング図

【図2】 本発明の一実施例の視野中の目標物からの反射波を示す組図

(a) 視野と目標物との位置関係を例示する平面図

(b) 発射パルスと複数の反射パルスとを示すタイミング図

【図3】 本発明による測距装置の一実施例の構成を示すブロック図

【図4】 複数目標物の測距装置の一実施例の構成を示すブロック図

【図5】 図4の実施例に含まれる回路の構成を示すブロック図

【図6】 一実施例のカウンターを止める装置を示すブロック図

【図7】 図5の制御レジスタの一実施例の構成を示すブロック図

【図8】 図1～6の目標物測距装置のスタート作用を示すフローチャート

【図9】 同測距装置のカウンターの作用を示すフローチャート

【図10】 同測距装置の測距開始作用を示すフローチャート

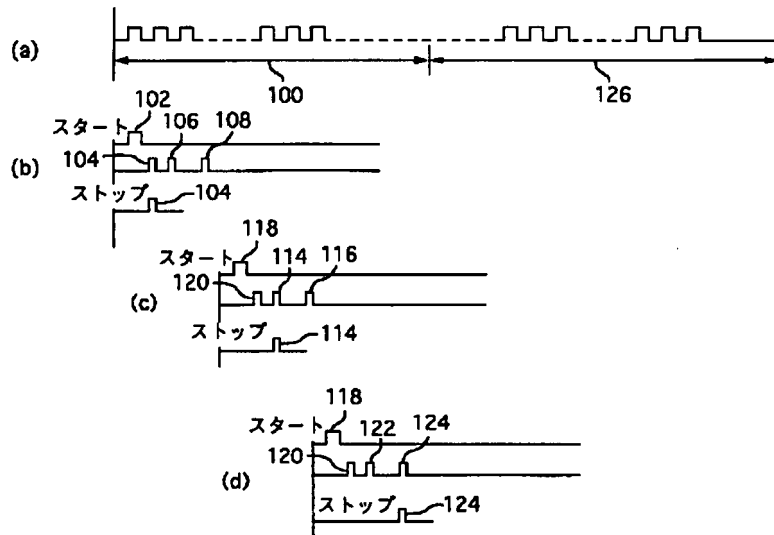
【符号の説明】

100, 126 : 測距シーケンス

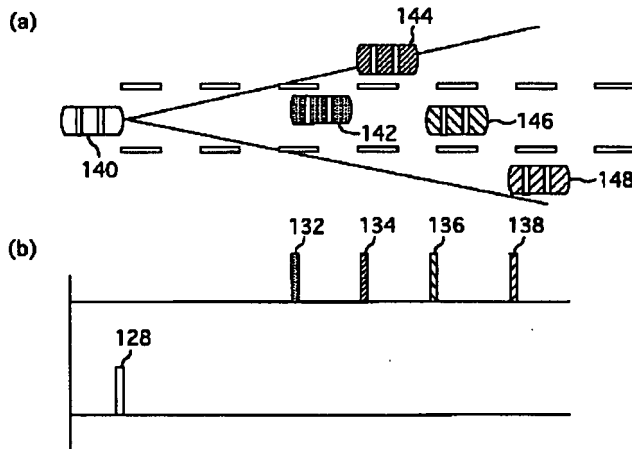
102, 110, 118, 128 : 参照パルス、発射パルス、レーザパルス
 104, 106, 108, 112, 114, 116, 120, 122, 124, 132, 134, 136, 138 : 反射パルス
 140 : 被制御車両 142, 144, 146, 148 : 目標車両
 200 : 測距装置
 202 : 送信機 204 : 受信機
 206 : 外部プロセッサ
 208, 210 : スタート信号線 212 : クロック信号線
 214 : データ信号線 216 : ストロボ信号線
 218 : リセット信号線 220 : クロック選択信号線
 222 : 外部クロック信号線 224 : データ受信信号線
 226 : データ信号線 228 : レディー信号線
 230 : データ有効信号線 232 : 制御レディー信号線
 234 : キャリアアウト信号線 236 : 参照オシレーター入力
 238 : 発射パルス信号線
 300 : 目標物測距装置
 302 : カウンター制御手段 304 : クロックパルス発生手段
 306 : 内部クロック信号線 308 : クロックパルス計数手段
 310 : データフォーマッティング手段
 312 : カウンター出力信号線 314 : 電源調整回路
 316 : 5V電源入力 318 : グラウンド入力
 402 : フェーズロックループ (PLL) 回路
 412 : 位相比較器 414 : 電圧制御オシレーター (VCO)

416 : クロックディバイダー (分割器)
 418 : ローパスフィルター
 404 : タイミング及び制御ブロック 406 : カウンター
 408 : データフォーマッティングブロック/手段
 409 : ラッチ回路
 420 : 2対1マルチプレクサー
 422 : ディバイダー (クロック信号分割器、DIV)
 424 : ディバイダー選択信号線
 426 : システムクロック信号線 428 : 始動信号線
 430 : 始動ブロック、カウンタ始動ブロック
 432 : フィルタ始動信号線、フィルタ制御信号線
 434 : 比較器 442 : ローディングコマンド信号
 444 : 制御回路
 446 : カウンタ停止信号線、計数停止信号線
 450 : 目標物信号線
 452 : カスケード信号線 454 : クロック停止信号線
 500 : 停止ブロック
 502~516 : フリップフロップ
 518 : 8対1マルチプレクサー 520 : 選択信号線
 522 : 選択カウンタ 524 : アドレス信号線
 526 : ルックアップテーブル 532 : ANDゲート
 534 : ラッチングフリップフロップ
 536 : 目標物カウンタ
 538 : ロードコマンド信号線、ローディング信号線
 540 : クリヤー信号線
 542 : 測距クロック信号線、測距信号線
 544 : 完了信号線、出力信号線
 546 : 2対1マルチプレクサー
 600 : 制御レジスタ
 602~668 : フリップフロップ

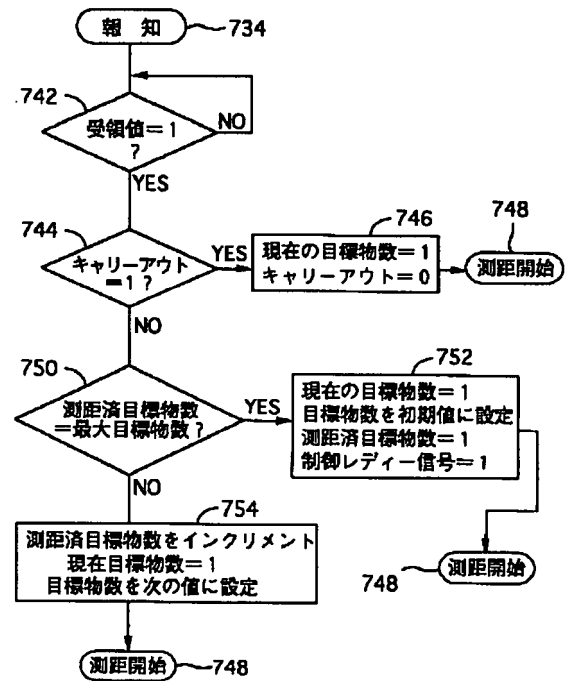
【図 1】



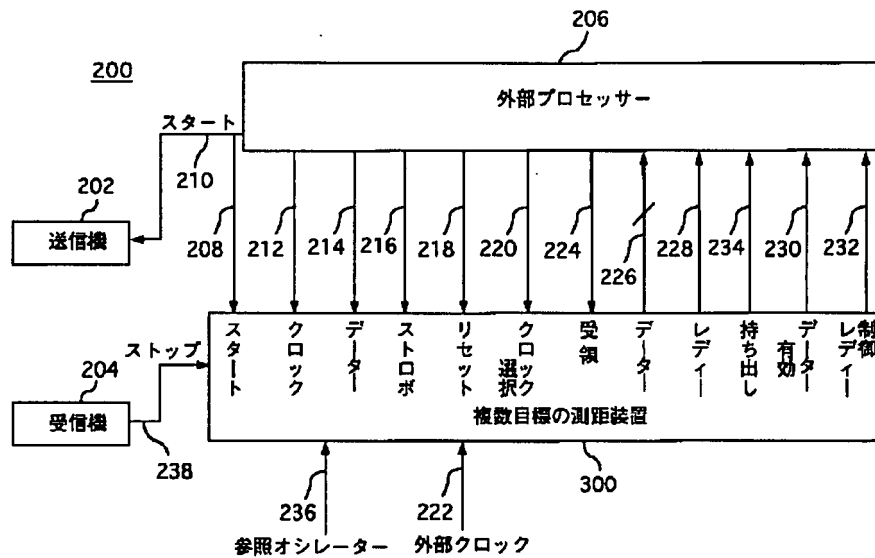
【図 2】



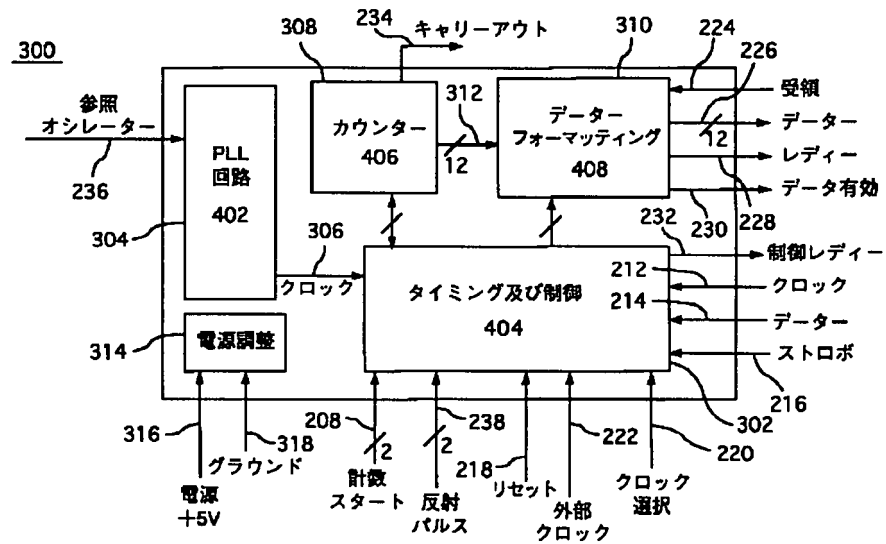
【図 10】



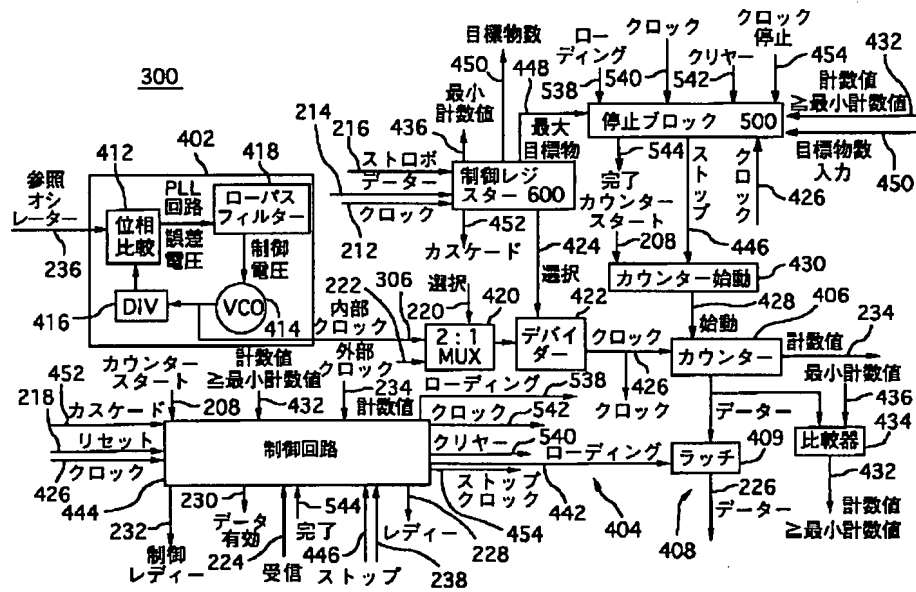
【図3】



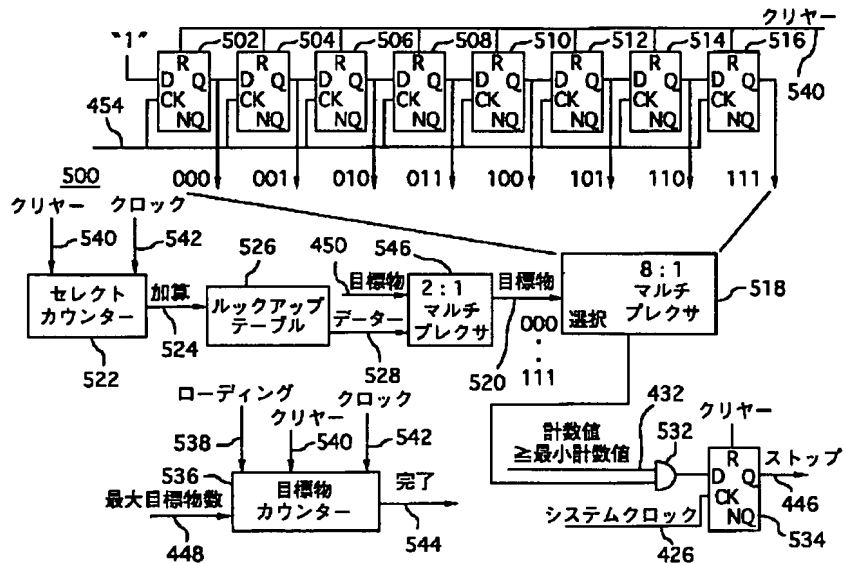
【図4】



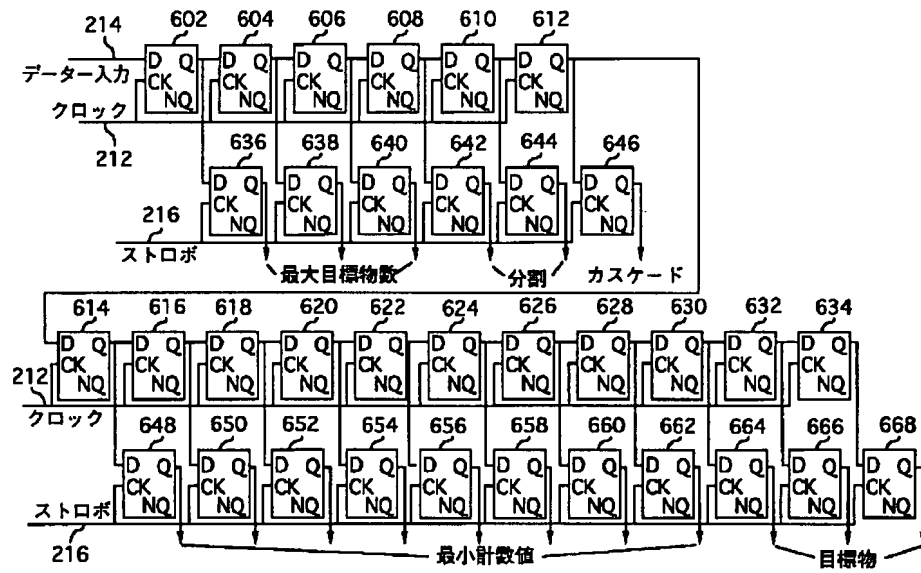
【図 5】



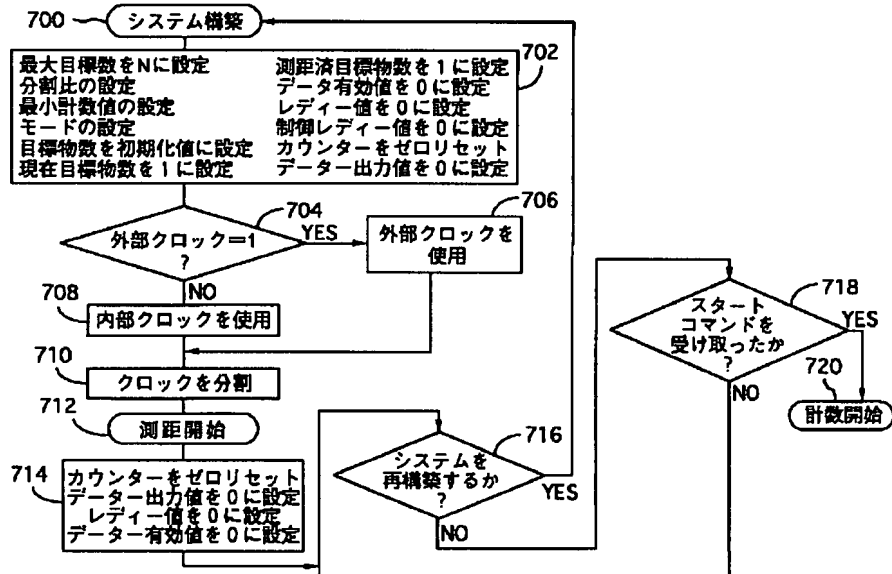
【図 6】



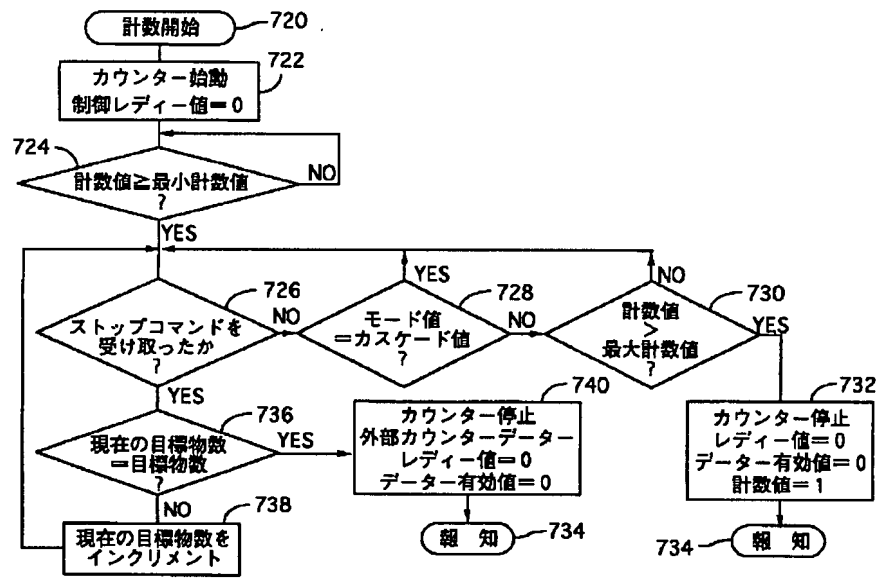
【図 7】



【図 8】



【図9】



1. Title of Invention

METHOD AND APPARATUS FOR MULTIPLE TARGET RANGING

2. Claims

1. Apparatus for determining range to multiple targets comprising:

means for transmitting a pulse;

means for receiving reflected pulses produced in response to said transmitted pulse; and

means for determining a time between said transmitted pulse and a predetermined one of said reflected pulses, said determining means further including:

means for generating clock pulses;

means for counting said clock pulses; and

means for controlling said counting means by monitoring a number of said reflected pulses produced in response to said transmitted pulse and by disabling operation of said counter when a predetermined number of said reflected pulses has been received.

2. Apparatus according to Claim 1, wherein said transmitting means emits a laser pulse.

3. Apparatus according to Claim 1, wherein said clock pulse generating means further includes:

an internal clock generator for producing an internal clock signal;

a signal line for receiving an external clock signal; and

a multiplexer for selecting either said internal clock signal or said external clock signal in response to a user selected input.

4. Apparatus according to Claim 1, wherein said counting means includes:

a first counter having a carry-out output;
and
at least one additional counter cascaded
with said carry-out output of said first counter.

5. Apparatus according to Claim 1, wherein
said controlling means includes:

means for enabling said counting means in
response to a start count signal command and a stop
count signal command; and

means for generating said stop count
signal command in response to said reflected pulses.

6. Apparatus according to Claim 5, wherein
said stop count signal generating means further
includes:

a shift register which is clocked by said
reflected pulses; and

means for selecting at least one storage
location of said shift register as said stop count
signal.

7. Apparatus according to Claim 6, wherein
said selecting means further includes:

a select counter for selecting a different
storage location of said shift register for each of
said multiple targets.

8. Apparatus according to Claim 7, wherein
said selecting means further includes:

a target counter for determining when
ranges to all of said multiple targets have been
determined.

9. Apparatus according to Claim 5, wherein said stop count signal generating means further includes:

a noise filter for inhibiting generation of said stop count signal until said counting means counts to a predetermined minimum value.

10. Method for determining range to multiple targets comprising the steps of:

transmitting a pulse;

receiving reflected pulses produced in response to said transmitted pulse; and

determining a time between said transmitted pulse and a predetermined one of said reflected pulses by counting clock pulses, said counting being controlled by monitoring a number of said reflected pulses produced in response to said transmitted pulse and by disabling said counting when a predetermined number of said reflected pulses has been received.

11. Method according to Claim 10, further including the step of:

inputting a user specified value representing resolution with which target range is determined and the maximum range in which a target will be detected.

12. Method according to Claim 11, wherein said user specified value is a clock divide ratio for controlling frequency of a clock input to a range counter.

13. Method according to Claim 11, further including the step of:

inputting a user specified value
representing the number of targets to be detected
within said maximum range.

14. Method according to Claim 10, further
including the step of:

inputting a minimum count value which must
be exceeded before said counting is controlled by
said monitoring of reflected pulses.

3. Detailed Description of Invention

BACKGROUND OF THE INVENTION

Field of the Invention:

The present invention relates generally to measuring a time delay of an event relative to a reference time for providing the range to a target. More particularly, the invention relates to a method and apparatus for measuring time delays between a reflected pulse from each of multiple targets relative to a reference pulse.

State of the Art:

Devices for measuring a time delay using, for example, opto-electronic, electronic and ultrasonic range finders are known. Opto-electronic range finders, such as laser range finders, measure a time-of-flight of a transmitted laser pulse; that is, the time between transmission of the pulse and detection of a reflected laser return pulse from a target. To determine a time-of-flight of the transmitted laser pulse, a counter is typically started upon the emission of the laser pulse, and is then stopped upon receipt of the reflected pulse.

In addition, where multiple targets in the field of view are to be detected, devices have been developed to measure the time-of-flight to the additional targets. For example, a known opto-electronic range finder includes a counter which is started upon emission of a light pulse, and then stopped upon receipt of a reflected pulse. Once the counter has been stopped, the count information is transferred from the counter to an intermediate storage location. The counter then continues to count until the next reflected pulse is received.

Despite an ability to detect multiple reflected pulses, such devices suffer significant drawbacks. For example, the range finder device must be capable of transferring data from the counter to the intermediate storage in a time interval which is less than the resolution of the counter. That is, data must be transferred to the intermediate storage within one clock cycle so that the counter output does not change state during the transfer of data. Any practical implementation of such a range finder therefore requires use of a synchronous counter. However, it is difficult to implement a synchronous counter with a data width of 8 bits or more, and with counter resolutions on the order of 500 picoseconds.

Another known opto-electronic range finding device includes multiple counters. Each of the counters is started upon the emission of a light pulse, and each counter is stopped in sequence as multiple reflected pulses are received. However, this device suffers the drawback of requiring multiple counters, each having a wide data width and high resolution. The large area and very high power dissipation required for the use of multiple counters limits the number of targets which can be detected in a practical embodiment.

U.S. Patent No. 5,353,228 (Geiss et al) discloses another known apparatus for detecting a range to multiple targets in a field of view. This patent describes dividing a predetermined measurement cycle into multiple time intervals. A sequence of distances is associated with the round-trip transit time receivable within each time interval, and a digital memory is used to store the presence or absence of a target at each interval. A disadvantage of this device is that its maximum

resolution is a function of the time required to write information to the digital memory. In addition, this device is limited to a measurement cycle which must detect the presence or absence of a reflected target pulse within every designated time interval. Consequently, when the number of time intervals in the measurement cycle is increased to improve range or resolution, the number of locations in the storage device must be increased linearly. For example, increasing the measurement cycle by a factor of two, requires an attendant increase in the size of the digital memory by a factor of two. Accordingly, this device is impractical when high resolution (that is, a short time interval) and/or a large measurement cycle are required. Further, because this device stores an entire history of reflected target pulses for a given measurement cycle before any information is read out to a signal evaluation device, it is unsuited for real-time operation.

Other conventional range finding devices are premised on the use of range gating, wherein a counter is enabled for only a small interval of time. For example, to locate a first target which is expected to be within ten meters from the transmitter, the counter is enabled to detect a reflected pulse within a period of time which corresponds to a distance of ten meters. If no target is detected within this range, then the counter is enabled to detect reflected pulses from a target within a range of 10-20 meters. This process continues for each gated range, until all designated ranges have been examined. A disadvantage of range gating is that an increase in resolution can significantly increase the time required to perform a single measurement cycle. For example, if each

specified interval possesses one meter resolution, then a measurement sequence for a range of 2000 meters would require 2000 separate measurements. Such operation can be extremely timely, inefficient and unsuitable for real-time data acquisition.

U.S. Patent No. 4,477,184 (Endo) discloses a range finding device which suffers drawbacks similar to those described with respect to range gating. Here, a scanning laser is used to detect targets across an entire field of view. To achieve high resolution, each segmented portion of the field of view is relatively small. Because the time required to scan the entire field of view increases in proportion to the resolution desired, the disclosed device is unsuitable for achieving high resolution in real-time.

Accordingly, it would be desirable to provide a method and apparatus for determining ranges to multiple targets, in real-time, using a system having high resolution over a large maximum range. In so doing, it would be desirable to provide a practical, cost-effective system which can be easily reconfigured by the user.

SUMMARY OF THE INVENTION

Exemplary embodiments of the present invention are directed to a method and apparatus for detecting reflected pulses from multiple targets in a field of view such that a range to each target can be detected with high resolution, even when the targets are located over a relatively large measurement range. Exemplary embodiments of the present invention can provide real-time acquisition of ranging data, and can be implemented in a practical cost-effective manner suitable for reconfiguration by the user.

In accordance with the present invention, a method and apparatus are disclosed for determining ranges to multiple targets. Exemplary embodiments comprise means for transmitting a pulse, means for receiving reflected pulses produced in response to said transmitted pulse; and means for determining a time delay between said transmitted pulse and a predetermined one of said reflected pulses. The determining means further includes a clock generator for producing clock pulses; a counter for counting said clock pulses; and means for controlling said counter by monitoring a number of said reflected pulses produced in response to said transmitted pulse and by disabling operation of said counter when a predetermined number of said reflected pulses has been received.

DETAILED DESCRIPTION OF THE PREFERRED EMBODIMENTS

Figures 1A-1F illustrate exemplary timing diagrams for detecting reflected pulses of multiple targets in a field of view according to the present invention. To determine a range for multiple targets in the field of view, exemplary embodiments are initialized for the appropriate number of targets to be detected. Further, exemplary embodiments are initialized for the desired resolution, maximum target range, the order of target detection (that is, which target is to be detected first, which target is to be detected next, and so on) and the minimum detectable target range.

The number of pulses which are transmitted in a given ranging sequence, such as ranging sequence 100 of Figure 1A, is equal to the maximum number "n" of targets to be detected. After initialization, a start command is issued which triggers emission of a reference pulse 102 (e.g., laser pulse) 102 and which enables a counter to begin counting. Once the laser pulse 102 has been transmitted, the receipt of reflected pulses from the targets is monitored. Where the closest target is to be detected first, the first reflected pulse 104 stops the counter. The count stored in the counter is then output to a control processor as a representation of range to

the first target. In detecting the first reflected pulse 104, subsequently received pulses 106 and 108 are ignored.

After detecting range to the first target, the counter is reset and then a second start command 110 (Figure 1C) of the first ranging sequence 100 is issued to detect range for the second target. Upon transmission of the second reference pulse 110, the counter is again enabled. However, the counter does not stop counting until the reflected pulse 114, representing the second target, is received and detected as illustrated in Figure 1C. That is, the first reflected pulse 112 and a subsequent reflected pulse 116 are ignored such that the counter stores a count indicative of a distance to the target which reflected the second pulse 114.

The counter is then reset once again, and a third start command is issued to transmit a third start pulse 118 (Figure 1D) of the ranging sequence 100. Because the first and second targets have already been previously detected, reflected pulses 120 and 122 are ignored. However, upon detection of the third reflected pulse 124, the counter is stopped such that the count stored therein represents range to the third target.

Once the nth start command has been issued and all targets in a given ranging sequence have been detected, the ranging sequence 100 is complete. A subsequent ranging sequence 126 can then be implemented, if desired. The ranging sequence 126 can repeat the ranging sequence 100, or can be reconfigured to, for example, detect any one or all of the targets with increased or reduced resolution.

Figure 1E illustrates an exemplary use of this ranging operation for collision avoidance in a vehicle control environment, wherein potential

targets include other vehicles. Using the operation described with respect to Figures 1A- 1D, a reference pulse 128 is transmitted from the controlled vehicle 140. Reflected pulses 132, 134, 136 and 138 from the target vehicles 142, 144, 146 and 148, respectively are used to determine the range of each target vehicle from the controlled vehicle.

Exemplary embodiments of the present invention permit multiple targets to be determined without requiring multiple counters, or counters that transfer data to an intermediate storage location within one clock cycle. Further, exemplary embodiments eliminate any need for a large digital memory which stores information for each of a plurality of pre-designated time intervals.

An exemplary embodiment of a device for implementing the ranging operation of Figures 1A - 1F is illustrated in Figure 2. In Figure 2, a range finding device 200 constitutes an apparatus for determining the range to multiple targets. Range finding device 200 includes a means for transmitting a pulse, such as any conventional transmitter 202 for producing a laser pulse. A means for receiving reflected pulses produced in response to the transmitted pulse is represented as any conventional receiver 204. Means for determining a time between the transmitted pulse and a predetermined one of the reflected pulses includes a target ranging apparatus 300 for multiple target ranging. A processor which is either included within the target ranging apparatus 300 or which is external to the target ranging apparatus 300, such as external processor 206, supplies control information to the range finding device 200.

In accordance with exemplary embodiments, the external processor 206 can be a programmable gate array. However, those skilled in the art will appreciate that any conventional microprocessor can also be used to control operation.

To initiate a ranging operation, the external processor 206 issues a start command to the target ranging apparatus 300 via start signal line 208. This start command is also supplied to the transmitter 202 via start signal line 210 to initiate reference pulse transmission. Reflected pulses which are detected by the receiver 204 are used to supply signals to the target ranging apparatus 300 via a reflected pulse signal line 238. The reflected pulses are used to generate a counter stop signal.

The external processor 206 also communicates with the target ranging apparatus over a number of additional signal lines, such as clock and data signal lines 212 and 214, respectively. The clock signal line 212 is used to load data via the data signal line 214 into target ranging apparatus 300 during initialization or reconfiguration of the range finding device 200.

The information which is included in the data supplied via the data signal line 214 includes user configurable variables such as: (1) the maximum number of targets for a given ranging operation (MAXTGT); (2) a divide ratio reference value (DIV) for programming a timing interval that defines a minimum resolution and maximum range of the range finding device 200; (3) a minimum count used to disable a "stop counter" command until a specified count has been reached (MINCNT); (4) a mode command (MODE) used to distinguish a cascade mode (wherein one or more external counters are cascaded to the

carry-out of an internal counter in the target ranging apparatus 300 to extend the maximum range) from a non-cascaded mode; and (5) a target value (TGT) which represents the value of a target being searched (note that the user can configure the system to search for the targets in any order, such as closest to furthest, furthest to closest, and so forth).

The external processor 206 also sends a strobe signal via a strobe signal line 216 for verifying when data has been sent via the data signal line 214. A reset signal line 218 resets parameters of the target ranging apparatus 300. A clock select signal line 220 is used to designate whether a system clock signal will be generated from: (1) an internal clock in the target ranging apparatus 300; or (2) an external clock received by the target ranging apparatus 300 via an external clock signal line 222. The internal clock of the target ranging apparatus 300 is driven in response to a reference oscillator input 236.

A data received signal line 224 is used by the processor 206 to acknowledge when data has been received from the target ranging apparatus 300. For example, when valid data corresponding to the range of a target currently being searched (that is, valid ranging data) has been received and stored by the external processor 206, a "received" signal is sent to the target ranging apparatus 300.

The target ranging apparatus 300 also sends information to the processor 206 over a variety of signal lines. The valid ranging data acquired by the target ranging apparatus 300 is sent to the external processor via data signal lines 226. This data is read by the processor 206 upon receipt of a "ready" signal from the target ranging apparatus 300

via ready signal line 228 and a data valid signal on data valid signal line 230.

A control ready signal line 232 is used by the target ranging apparatus 300 to inform the processor 206 when the target ranging apparatus 300 is between ranging sequences; whenever the control ready signal is asserted, the range finding device 200 can be reconfigured by supplying it with new variables via data lines 214. Finally, a carry-out signal line 234 is used to inform the processor 206 when the internal counter of the target ranging apparatus 300 has reached its maximum count value; the carry-out signal thus informs the processor 206 that no target has been detected for a given interval of the ranging sequence.

Features of the target ranging apparatus 300 will now be described in greater detail with respect to Figure 3. As illustrated in the exemplary Figure 3 embodiment, the target ranging apparatus 300 receives a two bit differential input via start signal line 208 and receives a two bit differential stop signal from the receiver 204 via the reflected pulse signal line 238. For each of the start and stop signals, the two bits constitute inverted and non-inverted start/stop signals. The inverted and non-inverted signals for each of the start and stop signals can be supplied to a buffer for comparison to improve edge detection in known fashion. However, those skilled in the art will appreciate that a single line can be used for each of the start and stop signals if desired.

The start and stop signal are supplied to a counter controller means 302, represented as a timing and control block 404. The timing and control block 404 also receives the initialization

and reconfiguration data via clock signal line 212, data signal line 214 and strobe signal line 216.

As illustrated in Figure 3, the timing and control block 404 receives the reset signal line 218, the clock select signal line 220 and the external clock signal line 222. The clock select line 220 signifies whether an external clock signal supplied via external clock signal line 222 is to be used, or whether an internal clock driven by the reference oscillator input 236 is to be used to provide a system clock signal. In accordance with exemplary embodiments, a system clock signal on the order of 2 gigahertz can be used. However, those skilled in the art will appreciate that a clock frequency which is any order of magnitude less than or greater than 2 gigahertz can be used provided logic errors do not occur in processing the counter data.

A clock pulse generating means 304, represented as phase lock loop circuitry 402, produces the internal clock signal on internal clock signal line 306 in response to the reference oscillator input 236. In accordance with exemplary embodiments, the reference oscillator can be a relatively slow speed oscillator which produces pulses with a frequency on the order of 25 megahertz.

Outputs from the timing and control block 404 are supplied to a means 308 for counting the clock pulses, represented as a counter 406. In the exemplary Figure 3 embodiment, the counter 406 is a 12-bit counter. However, those skilled in the art will appreciate that a counter having any number of bits can be used. A 12-bit output from the counter is supplied via counter output signal lines 312. Further, the counter supplies a carry-out signal on the carry-out signal line 234.

The 12-bit counter output, along with outputs from the timing and control block 404, are supplied to a means 310 for formatting data, represented as data formatting block 408. The data formatting block 408 ensures that a continuously changing count value on the counter output signal lines 312 is not supplied to the data signal lines 226 of the target ranging apparatus 300. The data formatting block 408 only supplies the count value of the counter 406 to the data signal lines 226 when a counter stop command has been generated by the timing and control block 404 in response to reflected pulses on the reflected pulse signal line 238.

When valid data has been supplied to the data signal lines 226, a ready signal is applied to ready signal line 228 and a data valid signal is supplied to data valid signal line 230. These signals, as well as any other signals between the target ranging apparatus 300 and the external processor 206, can be supplied by the timing and control block 404 to the external processor 206 via the data formatting block 408.

Power for the target ranging apparatus 300 is supplied via a power conditioning circuit 314. The power conditioning circuit 314 of the exemplary Figure 3 embodiment, can include any conventional filtering, and receives power via an exemplary five volt power input 316 and a ground input 318.

Figure 4 illustrates features of the Figure 3 target ranging apparatus 300 in greater detail. In Figure 4, the phase lock loop circuitry 402 is illustrated as including a conventional phase comparator 412 which receives the reference oscillator input 236. A voltage controlled oscillator (VCO) 414 can, in accordance with exemplary embodiments, be a two gigahertz

oscillator. The voltage controlled oscillator output can be divided via a clock divider 416 for comparison with the reference oscillator input in phase comparator 412. Phase errors between the reference oscillator input 236 and the voltage controlled oscillator 414 are supplied to a low pass filter 418 to adjust the output frequency of the voltage controlled oscillator 414 in conventional fashion.

The phase compensated output from the voltage controlled oscillator 414 is supplied via internal clock signal line 306 to a 2:1 multiplexer 420 of the timing and control block 404. The multiplexer 420 receives the clock select signal line 220. Depending on the state of the clock select signal line 220, either the internal clock signal produced by the phase lock loop circuitry 402 or the external clock received via the external clock signal line 220 is output from the multiplexer 420.

The selected output from multiplexer 420 is supplied to a clock signal divider 422. The divide ratio (DIV) of divider 422 is a user configurable variable which is stored in a control register 600 and supplied to divider 422 via divider select signal line 424. The divide ratio is used to modify the clock frequency of the system clock signal which drives counter 406, and thereby control a timing interval of the counter 406. Those skilled in the art will appreciate that by modifying the clock frequency, the resolution and range of the target ranging apparatus 300 can be controlled.

For example, by increasing the divide ratio, the clock frequency used to drive counter 406 will be reduced thereby reducing resolution of a given ranging sequence. However, by reducing resolution, the maximum range over which the counter 406 can

detect a reflected pulse will be extended. In contrast, decreasing the divide ratio will increase resolution and decrease maximum range. In accordance with exemplary embodiments, the divide ratio can be set to any value, including values of 1, 2, 4 and 8.

The counter 406 is enabled, via an enable signal line 428, to count the divided clock pulses on the clock signal line 426. The enable signal is supplied from a means for enabling the counter operation, represented as a counter enable block 430. The counter enable block 430 receives the start command via the start signal line 208. Further, the counter enable block 430 receives a stop command, via stop count signal line 446, from a means for disabling counter operation, represented as stop enable block 500.

The start command is provided coincident with the transmission of the pulse from the Figure 2 transmitter 202. The stop enable block 500 (Figure 5) disables the counter operation via a stop command on stop count signal line 446 when a target currently be searched in a given ranging sequence has been detected, or when a ranging sequence is complete.

In an exemplary embodiment, the stop enable block 500 can be configured to sequentially generate stop commands for each target in a ranging sequence until the maximum number of targets have been ranged. For example, where the targets are to be detected from closest to furthest, the stop enable block 500 can monitor each detected target in the ranging sequence. A first stop command is generated when the first, closest target has been detected. After the counter 406 has been reset, the stop enable block 500 will generate the next stop command

when a reflected pulse from the second target is detected. This process continues until all targets in a given ranging sequence have been detected.

The maximum number of targets to be detected in a given ranging sequence is supplied to the stop enable block 500 from the control register 600 via a maximum target signal line 448. The maximum target is loaded into a register (for example, a counter) of the stop enable block 500 in response to a load command signal on load command signal line 538.

A ranging clock signal is supplied to the stop enable block 500 via a ranging clock signal line 542. The ranging clock signal is used by the stop enable block 500 to keep track of the number of targets which have been ranged. A stop clock signal line 454 supplies reflected pulses (that is, reflected pulses which are received subsequent to the counter 406 reaching its minimum count) to the stop enable block 500. The stop clock signal is used by the stop enable block 500 to track the number of reflected pulses which have been received when ranging to a given target. The stop enable block 500 also receives the system clock signal line 426.

Prior to each ranging sequence, the stop enable block 500 is reset via a clear signal line 540. After all reflected pulses in a ranging sequence have been detected, the stop enable block 500 generates a done signal on a done signal line 544.

The load, clear and clock signals on signal lines 454, 538, 540 and 542 are supplied to the stop enable block 500 from control circuitry 444 of the timing and control block 404. Further, the done signal which signifies the end of a ranging sequence is supplied via the done signal line 544 to the control circuitry 444.

Recall that the data signal line 214 (Figure 2) can be used to supply a target value (TGT) representing a target to be searched during a ranging sequence. Where the user has input a target value via the data signal lines 214 to the control register 600, this target value can be supplied to the stop enable block 500 via a target value signal line 450.

The control circuitry 444 of Figure 4 will now be discussed in greater detail. The control circuitry 444 receives an input via a filter control signal line 432. The filter control signal indicates when the count value of the counter 406 has exceeded a user specified minimum count value. The filter control signal is used to generate the clock signal on stop clock signal line 454 of stop enable block 500, and thereby prevents the counter 406 from being stopped until after the minimum count has been reached. The filter control signal line 432 can also be supplied to the stop enable block 500 to ensure that the stop command is not supplied to counter 406 on stop count signal line 446 until after the counter 406 reaches its minimum specified value. Thus, the minimum count value is used as a noise filter; that is, it eliminates reflected signals which are received within a predetermined time period following transmission of the reference pulse from being considered a target reflected pulse.

To generate the filter control signal, the count value of counter 406 is supplied to a comparator 434. The comparator 434 also receives a minimum count value via signal line 436. the minimum count value is specified by the user and stored in the control register 600. Based on a comparison of its two inputs, the comparator 434

generates the filter control signal when the count value is equal to or greater than the minimum count value. Only when the filter control signal has been generated can the stop enable block 500 generate the stop command on stop count signal line 446. Thus, the use of a minimum count specified by the user avoids the false detection of objects nearer to the range finding device 200 than the first target to be detected.

The output from the counter 406 is also supplied to the data formatting means 408, which includes latch circuitry 409 of Figure 4. The latch circuitry 409 ensures that only valid ranging data will be supplied to data signal lines 226 of the target ranging apparatus 300. The latch circuitry 409 is loaded in response to a load command signal 442, which is generated by control circuitry 444 of the timing and control block 406. The control circuitry 444 generates the load command signal when the counter 406 has been stopped, such that its count value represents valid ranging data.

The control circuitry 444 of Figure 4 receives the start signal on start signal line 208 and the reflected pulses via the reflected pulse signal line 238. The control circuitry 444 receives a start signal from the external processor 206 each time ranging to another target is initiated. The external processor 206 generates a start signal each time data is received from the target ranging apparatus 300, and additional targets of a ranging sequence are to be searched. Because the control circuitry 444 receives the output from the comparator 434 which indicates when the count of counter 406 is greater than the minimum count specified by the user, the control circuitry 444 can determine when the reflected pulses correspond to

pulses reflected by a target (as opposed to spurious reflections from objects closer to the receiver than the first target to be detected). Based on this information, the control circuitry 444 can generate the ranging clock signal on ranging clock signal line 542 of stop enable block 500.

As illustrated in Figure 4, the control circuitry also receives the cascade mode input signal on cascade signal line 452 from the control register 600. The cascade mode signal indicates whether the counter 406 is in a cascade mode. Further, the control circuitry 444 receives the reset signal on reset signal line 218, and the system clock signal on clock signal line 426.

The control circuitry 444 can receive the carry-out signal on carry-out signal line 234. The carry-out signal can be used by the control circuitry 444 to stop the counter 406 via stop enable block 500. Based on the value of the carry-out signal, the control circuitry 444 can determine whether valid ranging data exists at the output of counter 406.

During a ranging sequence, the control circuitry 444 generates the control ready signal on signal line 232, the data valid signal on data valid signal line 230 and the ready signal on ready signal line 228. The control circuitry 444 receives the received signal from the external processor 206 via the received signal line 224. The control circuitry 444 also receives the stop signal on stop count signal line 446 and the done signal on done signal line 544 from stop enable block 500. The control circuitry 444 can use the stop signal to track when the most recently received reflected pulse, representing a currently detected target, corresponds with the target value currently being

searched. The done signal can be used by the control circuitry 444 to track completion of a ranging sequence.

In response to these various signals, the control circuitry 444 generates the load signal for loading the maximum target value from the control register 600 into the stop enable block 500 at the start of each ranging sequence. The control circuitry 444 also generates the clear signal on clear signal line 540 after the ready signal has been output. The clear signal is used to reset the stop enable block 500 for a subsequent ranging sequence. Finally, the control circuitry 444 outputs the load signal to the latch 408 to supply data to the external processor 206 when valid data exists in the counter.

An exemplary embodiment of the stop enable block 500 in Figure 4 will now be described in greater detail with respect to Figure 5. Referring to Figure 5, the stop enable block 500 includes flip-flops 502, 504, 506, 508, 510, 512, 514 and 516 which collectively constitute a shift register. In the exemplary Figure 5 embodiment, all of these flip-flops are D flip-flops, the first of which receives a logic level high (represented as a "1") at its D input.

Reflected pulses from the receiver, received via stop clock signal line 454, are supplied as the clock signal to each of these flip-flops. As reflected pulses are received, a corresponding number of flip-flops will possess a logic level high at their Q outputs. For example, when 3 pulses have been received by the receiver, each of the flip-flops 502, 504 and 506 will possess a logic level high at their Q output.

By examining the Q output for a selected one of these flip-flops, it can be determined whether the reflected pulse corresponding to a given target has been received. For example, by monitoring when the Q output of the third flip-flop 506 transitions to a logic level high, it can be determined when the reflected pulse of the third target has been received.

By using a shift register as illustrated in Figure 5, the stop enable block 500 can be configured to sequentially detect each target during a ranging sequence. The output from each flip-flop is supplied to an 8:1 multiplexer 518. By controlling a select signal line 520 of the multiplexer, the flip-flop outputs can be examined one at a time.

In the Figure 5 embodiment, the select signal line 520 is a 3-bit value supplied from a 2:1 multiplexer 546. One input to the multiplexer 546 is a target signal line 450 representing a user specified number of a target currently being searched in a ranging sequence. Those skilled in the art will appreciate that the stop enable block 500 can be configured to produce a stop count signal in response to a user input specifying one or more targets of a given ranging sequence. As each different target in the ranging sequence is to be searched, the target value supplied by the user can be changed, thereby changing the 3-bit input on the target signal line 450.

For example, if the closest of eight maximum targets is being searched first, then the 3-bit value on the target signal line 450 can be set to 000. This 3-bit value can then be changed as each subsequent target in the ranging operation is searched during subsequent ranging sequences.

(because the user can only select one target value in a ranging sequence according to an exemplary embodiment, a separate ranging sequence can be initiated to search each subsequent target). The order in which the targets are searched can therefore be specified by the user.

The stop enable block 500 is also configured to automatically sequence the select signal line 520 through one or more target values in a predetermined order during a ranging sequence. In an exemplary embodiment, the signal select line 520 can be automatically sequenced through a series of values using a select counter 522. The select counter 522 is driven by the ranging clock signal on ranging clock signal line 542. This clock signal produces a pulse each time the search for a new target in a ranging sequence is initiated. As each target in a ranging sequence is searched, the output from the select counter 522 changes. The select counter 552 also receives the system reset signal via the clear signal line 540 each time a new ranging sequence is initiated.

Those skilled in the art will appreciate that the output of select counter 522 can be used to directly supply a sequence of values to the multiplexer 518 via the select signal line 520. However, to enhance flexibility of the stop enable block 500, the select counter output is supplied via an address signal line 524 to a look-up table 526. For the exemplary embodiment wherein a maximum of eight targets can be searched in a ranging sequence, a series of numbers from 0 to 8 can be stored in the look up table in any order. However, those skilled in the art will appreciate that the Figure 5 embodiment can be modified to search any number of targets in a given ranging sequence.

The look-up table 526 can therefore be used to accommodate a ranging sequence wherein the targets are searched in a random order specified in advance by the user. For example, the look-up table 526 can be configured to accommodate a ranging sequence wherein every other target is searched; thus, as the select counter 522 is incremented, the look-up table 526 will sequentially gate the outputs from the flip-flops 504, 508, 512 and 516 through the multiplexer 518.

When a given target being searched has been located and detected, the Q output of an appropriate flip-flop transitions to a logic level high. This output is supplied via multiplexer 518 to an AND gate 532. The AND gate 532 ensures that the counter 406 (Figure 4) has exceeded the minimum count value necessary for a stop count signal to be generated.

Only when the counter value exceeds the minimum count will the output of AND gate 532 be permitted to transition high to set a latching flip-flop 534. When a stop count signal is supplied via the multiplexer 518, and the counter count value exceeds the minimum count, a logic level high produced by the AND gate 532 is latched into D flip-flop 534 on the next system clock pulse. A counter stop signal is then supplied via the stop count signal line 446 to the counter enable block 430 of Figure 4. The counter 406 will not be restarted until the search for the next target in the ranging sequence is initiated by the control circuitry 444. At that time, the flip-flop 534 is also cleared.

The stop enable block 500 as illustrated in Figure 5 also includes a target counter 536. The target counter 536 can be loaded with the number of targets to be searched in a given ranging sequence. The load signal is supplied from the Figure 4

control circuitry 444 via load signal line 538. The target counter 536 is thus loaded with the maximum number of targets to be searched in a given ranging sequence.

The target counter 536 is cleared via the same clear signal line 540 used to clear the select counter 522. The target counter 536 is clocked via ranging clock signal line 542 by the same ranging clock signal used for select counter 522.

In operation, at the start of a ranging sequence, the load signal on load signal line 538 goes high, thereby loading the maximum number of targets to be searched in the ranging sequence. With each reflected pulse which is received subsequent to the counter 406 reaching its minimum count, the target counter 536 is decremented. Once the target counter 536 has been decremented to zero, the done signal is produced on output signal line 544 to indicate to the control circuitry 444 that the current ranging sequence has been completed.

The control register 600 of Figure 4 will now be described in greater detail with reference to Figure 6. The exemplary embodiment of Figure 6 shows a control register 600 which includes a plurality of D flip-flops. The control register 600 is sequentially loaded with the data from the processor 206, this data representing each of the user configurable variables. Once the control register 600 has been loaded with all user-configurable variables, a ranging operation can be initiated.

More particularly, in response to the clock signal on clock signal line 212, data specified by the user is supplied from the processor 206 to the flip-flops of control register 600. The user specified data includes values for the maximum

number of targets to be searched in a given ranging sequence, the divide ratio, the cascade mode, the minimum count value and the target to be searched in a given ranging sequence. This data is serially input to flip-flops 602 - 634. Once all such data has been transferred from the processor 206 (Figure 2) to the target ranging apparatus 300, the strobe signal is supplied by the processor 206 via strobe signal line 216. As a result, the user specified data is transferred from the flip-flops 602 - 634 (Figure 6) into flip-flops 636 - 668 of the control register 600.

As illustrated in Figure 6, the flip-flops 636, 638 and 640 store a 3-bit value representing the maximum number of targets being searched in a current ranging sequence, for input to the stop enable block 500 (Figure 4). The flip-flops 642 and 644 of Figure 6 store a 2-bit value representing the divide ratio of clock signal divider 422 (Figure 4). The flip-flop 646 of Figure 6 stores the cascade mode to inform the control circuitry 444 (Figure 4) whether additional external counters have been cascaded to the carry-out of the counter 406 to extend the range of the target ranging device.

The flip-flops 648 - 662 of Figure 6 store an 8-bit value representing the minimum count value supplied to the comparator 434 (Figure 4). The flip-flops 664, 666 and 668 store a 3-bit value representing a particular target to be searched in a current ranging sequence; this value is supplied via the target signal line 450 (Figure 5).

Having described an exemplary embodiment of a target ranging device 200 for multiple target range finding, operation of this exemplary embodiment, including operation of the control circuitry 444 (Figure 4), will now be described with respect to

the flow chart of Figures 7A-7D. As illustrated in Figure 7A, system operation begins with user-configuring of the system as represented by block 700. The user specifies the maximum number of targets (MAXTGT), the divide ratio of the clock divider (DIV), the minimum count value (MINCNT), the cascade/non-cascade mode (MODE) and, if desired, a user specified target to be searched (TGT).

An initialization of the system in block 702 further includes initializing a target value to the first target which is to be searched. Where a specified target has been stored in the control register, the target value is initialized to correspond with the specified target. Otherwise, the target value is initialized to the first value stored in the look-up table 526 by clearing the select counter 522 (Figure 5). A value representing the current number of targets which have been detected (CURRTGT) is initialized; the current target value is incremented as each target is detected until the current target value matches that of the target being searched. A value representing the number of targets which have been ranged (TGTRNGD) is also initialized in block 702; for example, after the three targets described with respect to Figures 1A-1D have been detected, the targets ranged value (TGTRNGD) is equal to 3.

The data valid, ready and control ready handshaking signals (that is, DATAVALID, RDY and CNTL RDY) are also initialized. The data valid signal, which is supplied from the target ranging apparatus 300 to the processor 206 when valid ranging data has been obtained (that is, when a stop command has been generated and the carry-out signal is false), is initialized false. The ready signal, which is supplied from the target ranging apparatus

300 to the processor 206 when data is available at the output of the target ranging apparatus 300 (that is, when a stop command has been generated in response to, for example, detection of a target or generation of the carry-out signal from counter having the most significant bits of the counter output), is also initialized false. The control ready signal, which is supplied by the target ranging apparatus 300 to the processor 206 when a ranging sequence has been completed, is initialized true. When a start command for a ranging sequence is received, the control ready signal becomes false to prohibit the user from reconfiguring the system until the current ranging sequence has been completed. As illustrated in the block 702, the counter 406 and the data signal lines 226 (Figure 4) are also initialized to values of zero.

In block 704, the target ranging device 200 determines whether it has been configured to use its internal clock or whether an external clock has been supplied. If the clock select signal line has been set, the external clock is used as represented by block 706. If not, the internal clock is selected as represented by block 708. In accordance with exemplary embodiments, regardless of which clock is used, the clock signal is divided as represented by block 710 after which a target ranging operation is initiated in block 712.

Before determining the range to each target of a ranging sequence, the target ranging device re-initializes the counter, the data signal lines, the ready signal and the data valid signal. Recall that these values were initialized in block 702 prior to initiation of a ranging sequence, such that they need not be re-initialized in block 714 prior to ranging the first target in a ranging sequence.

However, these values are re-initialized prior to ranging each subsequent target within the ranging sequence. Accordingly, once a target has been ranged, these values are re-initialized in block 714.

Before ranging each target, the user can be given the opportunity to reconfigure the target ranging device 200 as represented by the decision block 716. Alternately, the opportunity to reconfigure the target ranging device 200 can be restricted to the start of a ranging sequence by monitoring the control ready signal. If the user does wish to reconfigure the system and such an option is currently available, then operation returns to the configuration blocks 700 and 702.

If the user does not choose to reconfigure the target ranging device 200, then the range finding device 200 awaits the input of a start command, represented by block 718, to initiate ranging of the first target in a ranging sequence. Once the start command has been received, the counter 406 begins counting as indicated in block 720.

Referring now to Figure 7B, the counter 406 continues to count as indicated by block 722. During this time, the control ready signal is maintained false to indicate to the external processor 206 that a ranging sequence is currently being performed such that the target ranging device 200 can not be reconfigured.

During the ranging of a given target, decision block 724 reflects monitoring of the counter 406 to ensure that its count exceeds the specified minimum count. The use of a minimum count provides noise filtering of spurious reflections close to the transmitter.

Once the count has exceeded the minimum count for a given ranging operation, flow continues to the decision block 726 wherein monitoring for the stop command is performed. If a stop command has been received, a decision block 728 is implemented to determine whether a cascade mode has been selected or not. Recall that the cascade mode is used to extend the range of the counter 406. Accordingly, the cascade mode must be examined to take any cascaded counters into account when determining whether the maximum count has been detected in block 730.

If the maximum count is detected in block 730, then the carry-out signal is supplied from the counter 406 (or from an external counter if in the cascade mode), and operation of the counter is discontinued in block 732. An acknowledge operation represented by block 734 of Figure 2C is then performed.

Returning to the decision block 726 of Figure 7B, if a stop command is detected, then a decision block 736 examines whether the reflected pulse corresponds to the current target being searched. For example, if the current target being searched is the third target, and only a single reflected pulse has been received, then the current target value does not match the target value. The counter 406 therefore remains enabled, the current target value is incremented in block 738, and operation returns to the input of decision block 726 to continue monitoring for a stop command. Note that with the exemplary embodiment of the stop enable block 500 in Figure 5, the stop command will not actually be generated until the current target value matches the value of the target being searched.

Once it is determined that the current target matches the target being searched, as represented in decision block 736, then the counter 406 is stopped in block 740. Data in the counter 406 is then output to the external processor 206, and the ready signal and data valid signal flags are set. Operation then flows to the acknowledge block 734 of Figure 7C.

Referring to Figure 7C, the acknowledge operation constitutes a verification by the processor 206 (Figure 2) that valid data has been received. In decision block 742, the target ranging apparatus 300 examines whether the received signal line has set a flag to indicate that the external processor 206 received data.

Once the ready signal has been set, the processor 206 examines the carry-out of the counter 406 in block 744 to determine whether a counter overflow occurred. If so, the counter 406 has not detected a target range, such that the ranging must be reinitiated. Accordingly, in block 746, the target value is set to 1 and the carry-out signal is reset to 0. Note that the current target value is set to 1 so that when ranging is reinitiated a search will be performed for the second target in the ranging sequence. The subsequent ranging is initiated via block 748.

In contrast, if the carry-out is not detected in decision block 744, then a decision block 750 examines whether the number of targets ranged matches the maximum number of targets to be searched in the current ranging sequence. If not, the target ranged value is incremented in block 754, and the current target value reinitialized to 1. The current target to be searched in the ranging sequence is then incremented to the next value (for

example, by incrementing the select counter 522 of Figure 5), and ranging is reinitiated in block 748.

On the contrary, if the last target ranged does correspond to the maximum target in decision block 750, then the first ranging sequence is complete. In block 752, the variables associated with a ranging sequence are reinitialized so that a subsequent ranging sequence can be executed. As illustrated in block 752, the current target value is reset to 1, the target value is set to the first value, the targets ranged value is set to its initial value and the control ready signal is set to indicate that the system can be reconfigured by the user if desired. A subsequent ranging sequence can then be initiated in block 752 if desired.

Those skilled in the art will appreciate that the embodiment of a target ranging device 200 and associated operation, as illustrated in Figures 1-7, is by way of example only, and that any number of variations can be implemented. For example, any of the components described with respect to Figures 2-6 can be combined in any desired manner to provide the functions associated therewith. The illustration of a processor separated from the target ranging apparatus is by way of example only. Further, cascaded counters for implementing the cascade mode need not be formed external to the target ranging apparatus.

The control register 600 (Figure 6) can be formed as any known storage device, including any desired number of user specified variables. The exact variables selected for inclusion in the control register 600, and the number of bits selected for representing each control variable is by way of example only. For example, the control

register 600 can be modified to accommodate any number of specified targets.

It will be appreciated by those skilled in the art that the present invention can be embodied in other specific forms without departing from the spirit or essential characteristics thereof. The presently disclosed embodiments are therefore considered in all respects to be illustrative and not restricted. The scope of the invention is indicated by the appended claims rather than the foregoing description and all changes that come within the meaning and range and equivalence thereof are intended to be embraced therein.

4. Brief Description of Drawings

BRIEF DESCRIPTION OF THE DRAWINGS

The present invention can be further understood with reference to the following description and the appended drawings, wherein like elements are provided with the same reference numerals. In the drawings:

Figures 1A-1F illustrate exemplary timing diagrams showing reflected pulses from multiple targets in a field of view according to an exemplary embodiment of the present invention;

Figure 2 illustrates a block diagram showing an exemplary embodiment of a range finding device in accordance with the present invention;

Figure 3 illustrates a block diagram showing an exemplary embodiment of the apparatus for multiple target ranging shown in Figure 2;

Figure 4 illustrates a block diagram showing an exemplary embodiment of circuitry included in the Figure 3 embodiment;

Figure 5 illustrates a block diagram showing an exemplary embodiment of the stop enable block in Figure 4 for disabling the counter;

Figure 6 illustrates a block diagram showing an exemplary embodiment of the Figure 4 control register; and

Figures 7A-7C illustrate a flow chart for exemplary operation of the target ranging device described with respect to Figures 1-6.

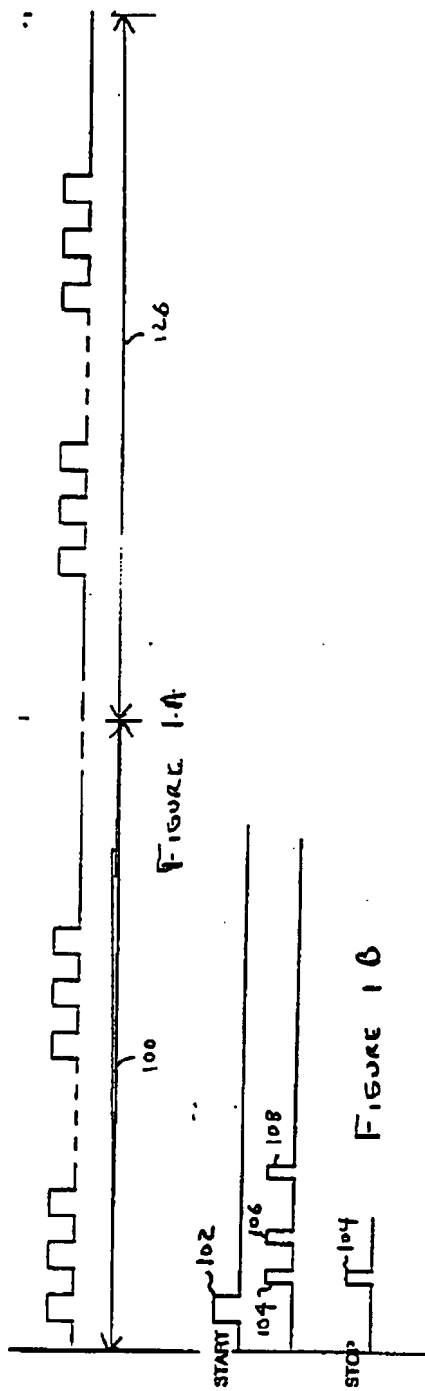


FIGURE 1B

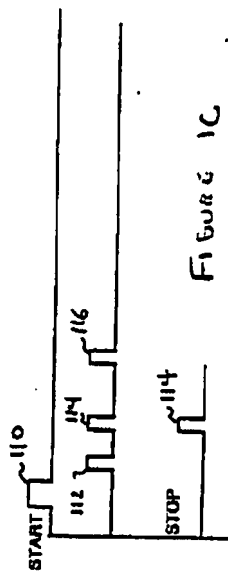


FIGURE 1D

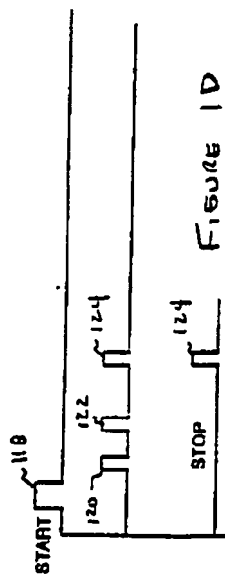


FIGURE 1F

FIGURE 1E

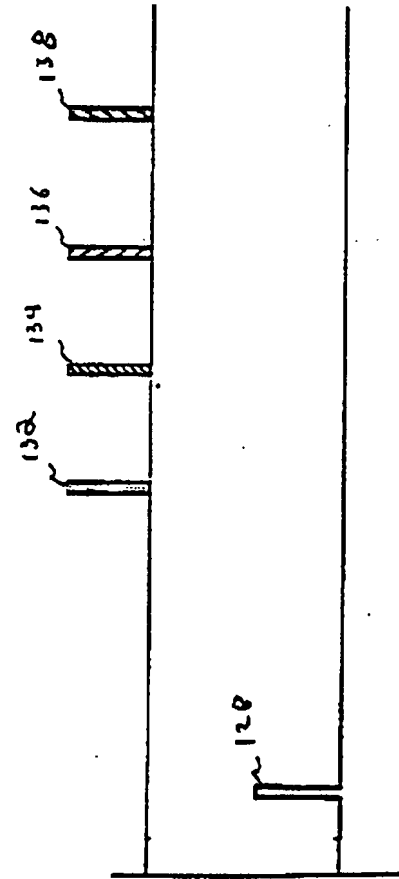
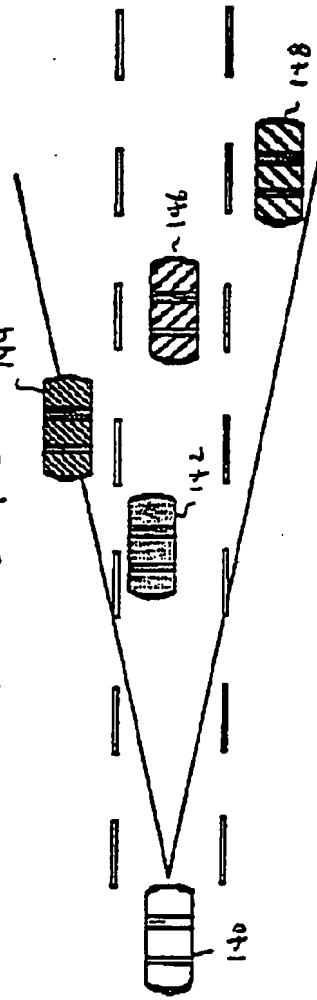


FIGURE 1F

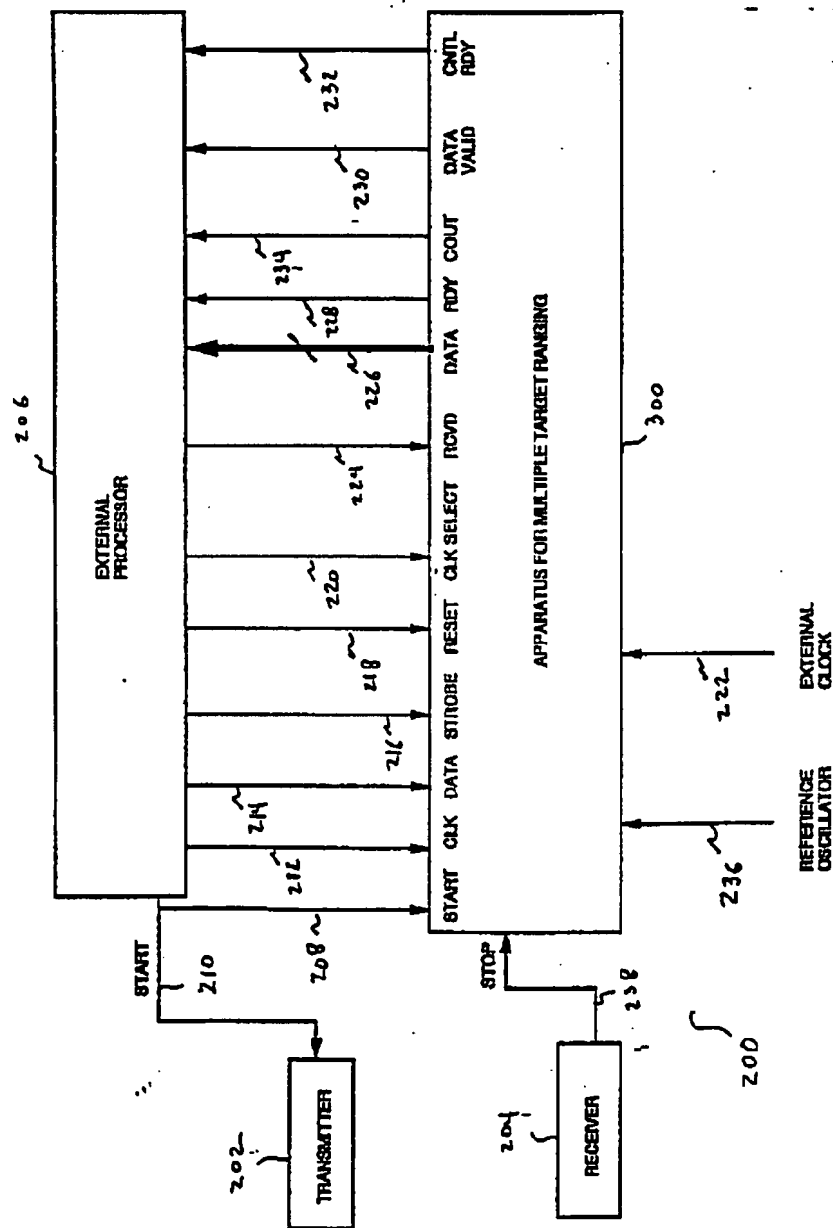


Figure 2

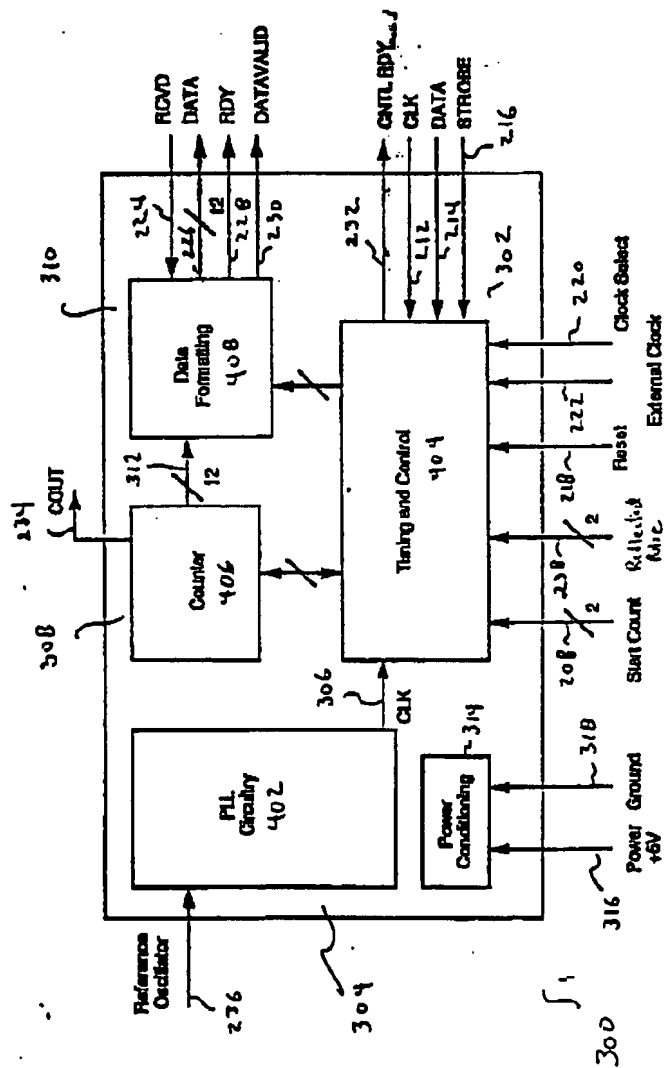


Figure 3

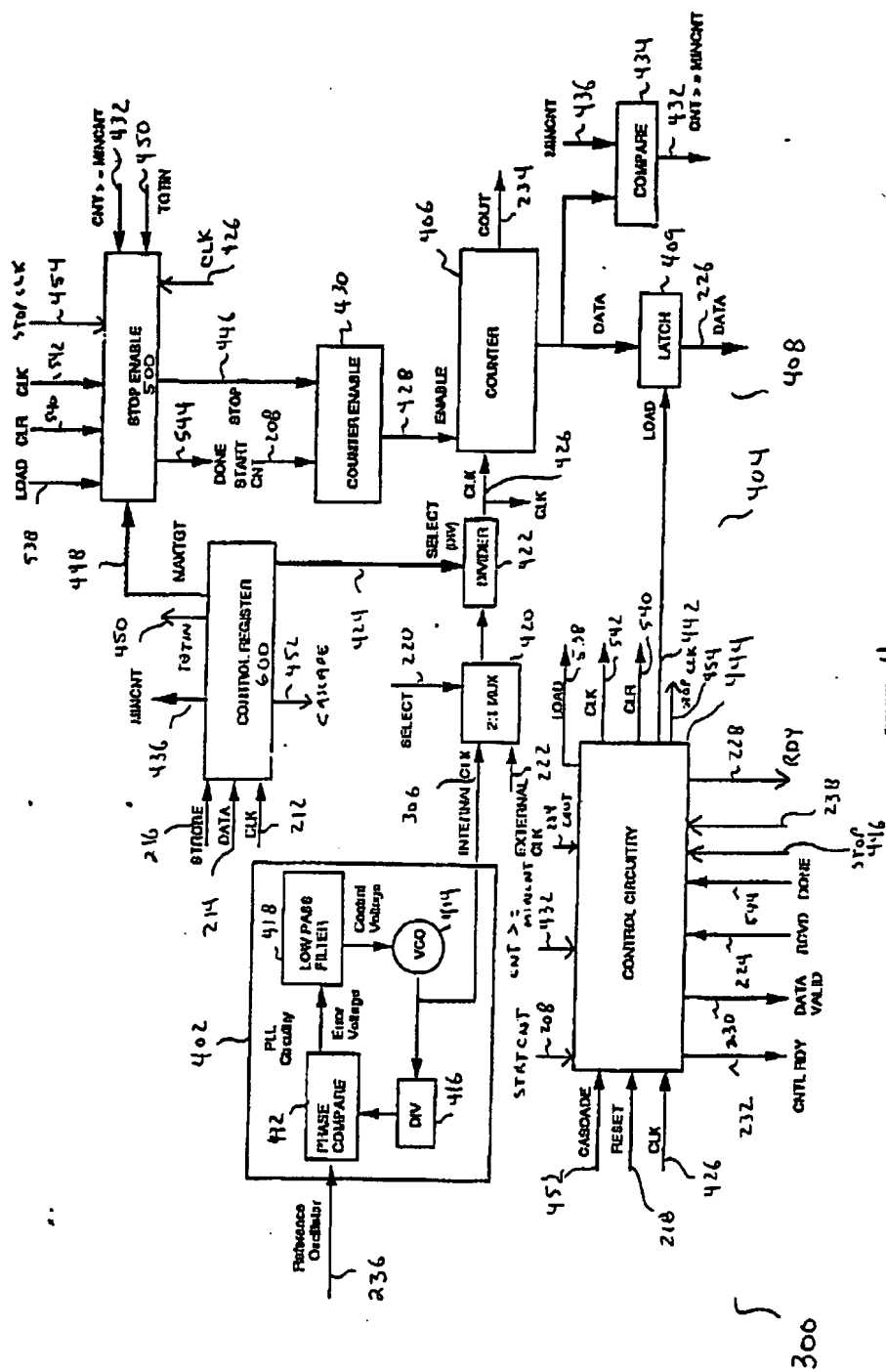
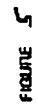


FIGURE 4



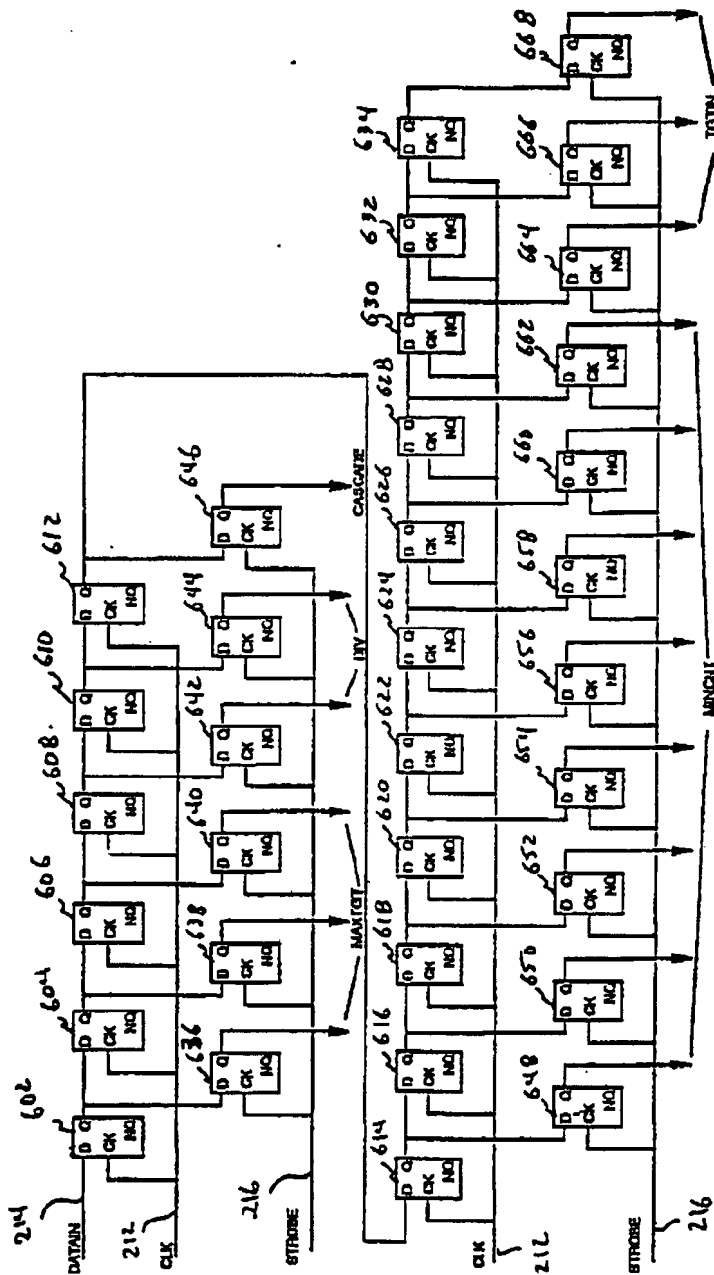
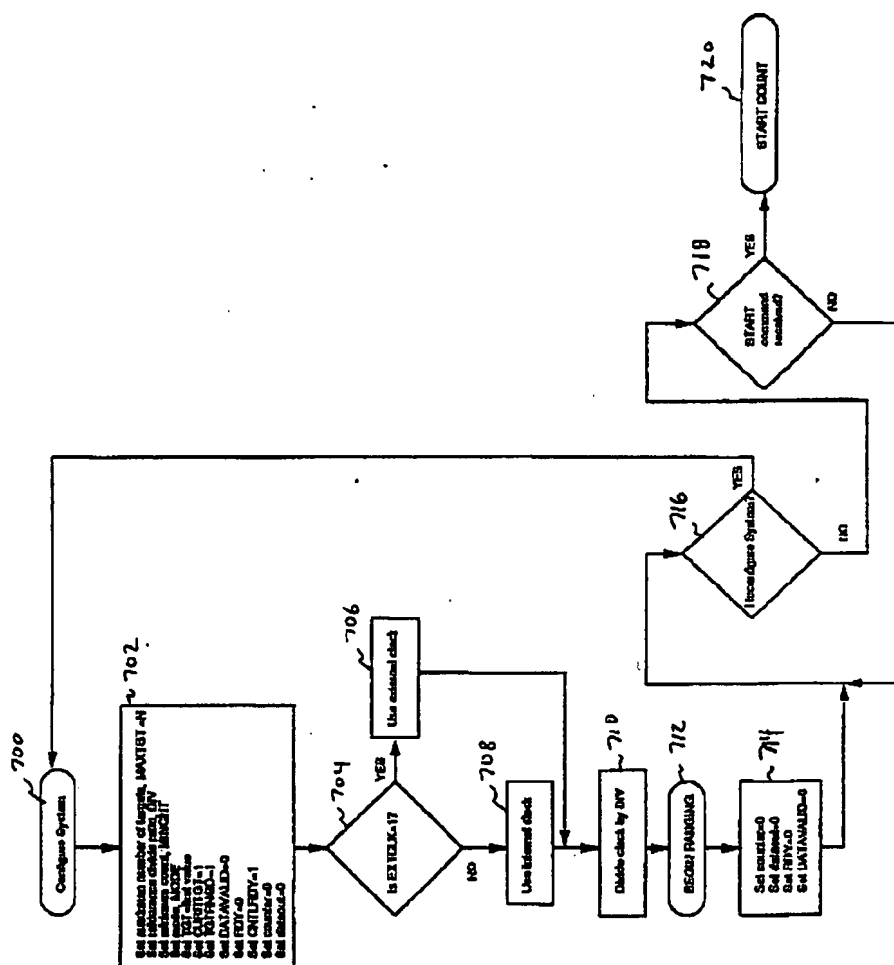


FIGURE 6



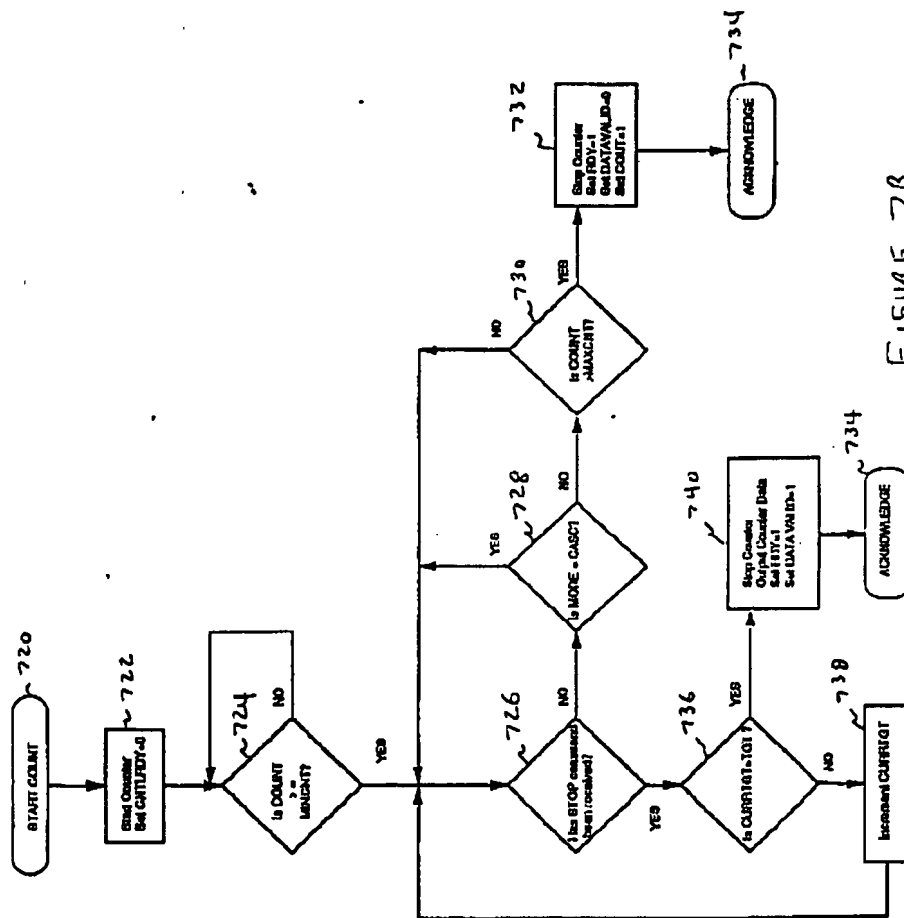


FIGURE 7B

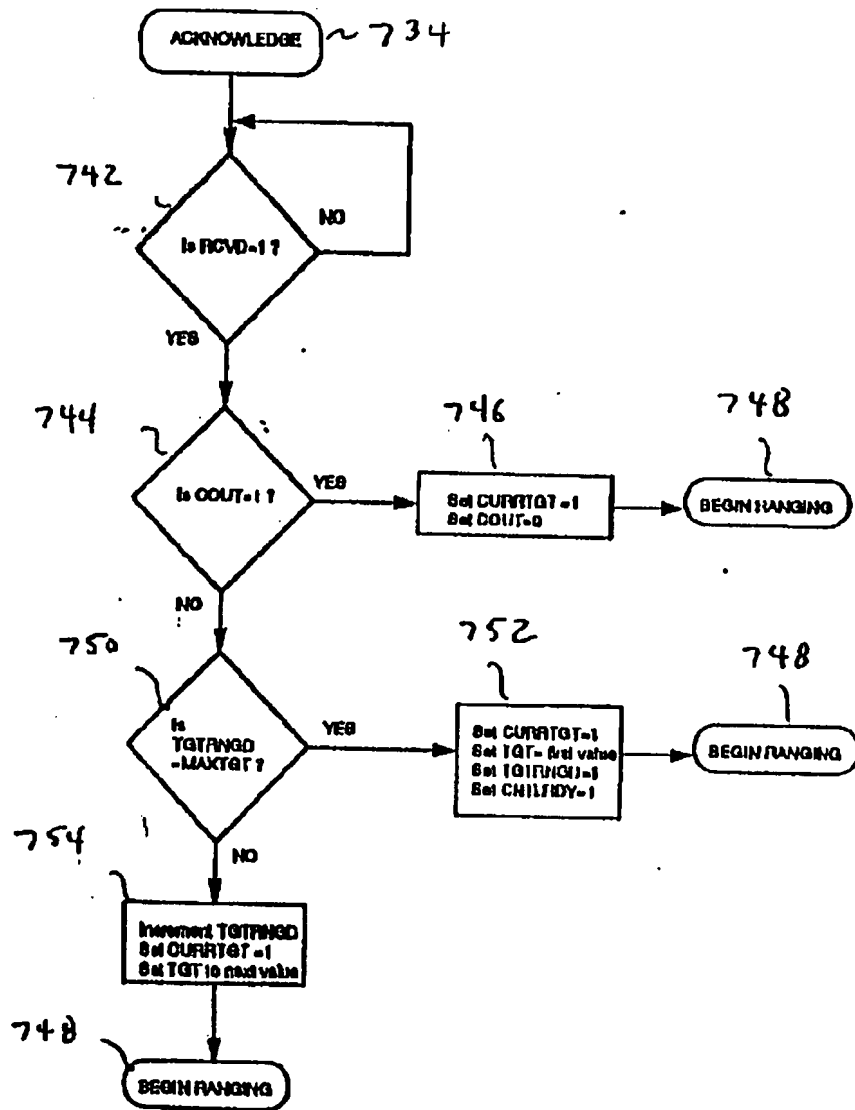


FIGURE 7C

1. Abstract

ABSTRACT OF THE DISCLOSURE

The present invention is directed to a method and apparatus for detecting reflected pulses from multiple targets in a field of view such that range to each target can be detected with high resolution, even when the targets are located over a relatively wide measurement range. Exemplary embodiments of the present invention can provide real-time acquisition of ranging data, and can be implemented in a practical cost-effective manner suitable for reconfiguration.

2. Representative Drawing

F i g . 2